



#5

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Group Art Unit : 2815
Applicants : Kazuo AOYAMA, et al.
Serial No. : 09/754,632
Filed : January 4, 2001
For : FUNCTION RECONFIGURABLE SEMICONDUCTOR DEVICE
AND INTEGRATED CIRCUIT CONFIGURING THE SEMI-
CONDUCTOR DEVICE

Assistant Commissioner for
Patents
Washington, D.C. 20231

CLAIM TO CONVENTION PRIORITY UNDER 35 U.S.C. 119

S I R :

A claim to the Convention Priority Dates of the
following Japanese Patent Applications was made at the time this
United States application was filed.

<u>Application No.</u>	<u>Filed</u>
2000-005942	January 7, 2000
2000-031557	February 9, 2000
2000-080022	March 22, 2000

In order to complete the claim to Convention Priority
Dates under 35 U.S.C. 119, a certified copy of each of these
Japanese Applications is enclosed herewith.

Respectfully submitted,
KENYON & KENYON

By Edward W. Greason
Edward W. Greason
Reg. No. 18,918

One Broadway
New York, N.Y. 10004
(212) 425-7200

Dated: April 3, 2001



PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: January 7, 2000

Application Number: Japanese Patent Application
No. 2000-005942

Applicant(s): NIPPON TELEGRAPH AND TELEPHONE
CORPORATION

March 2, 2001

Commissioner,
Patent Office

Kouzo Oikawa (Seal)

Certificate No.2001-3013412

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 1月 7日

出 願 番 号

Application Number:

特願2000-005942

出 願 人

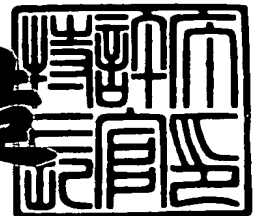
Applicant (s):

日本電信電話株式会社

2001年 3月 2日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3013412

【書類名】 特許願

【整理番号】 NTTH116074

【提出日】 平成12年 1月 7日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/765
H01L 21/77

【発明の名称】 関数機能構成データ保持方法及びその方法を用いた集積回路

【請求項の数】 16

【発明者】

 【住所又は居所】 東京都千代田区大手町二丁目3番1号
日本電信電話株式会社内

 【氏名】 青山 一生

【発明者】

 【住所又は居所】 東京都千代田区大手町二丁目3番1号
日本電信電話株式会社内

 【氏名】 澤田 宏

【発明者】

 【住所又は居所】 東京都千代田区大手町二丁目3番1号
日本電信電話株式会社内

 【氏名】 名古屋 彰

【発明者】

 【住所又は居所】 東京都江東区越中島1丁目3番-16-411

 【氏名】 柴田 直

【発明者】

 【住所又は居所】 アメリカ合衆国 メリーランド州 ポトマック市 ベル
ズミル通 8913

 【氏名】 中島 和生

【特許出願人】

【識別番号】 000004226
【氏名又は名称】 日本電信電話株式会社
【代表者】 宮津 純一郎

【代理人】

【識別番号】 100075753
【弁理士】
【氏名又は名称】 和泉 良彦
【電話番号】 03-3214-0502

【選任した代理人】

【識別番号】 100068353
【弁理士】
【氏名又は名称】 中村 純之助
【電話番号】 03-3214-0502

【選任した代理人】

【識別番号】 100081341
【弁理士】
【氏名又は名称】 小林 茂
【電話番号】 03-3214-0502

【手数料の表示】

【予納台帳番号】 084480
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9706386

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 関数機能構成データ保持方法及びその方法を用いた集積回路

【特許請求の範囲】

【請求項 1】

基板上に第 1 の導電型の半導体領域を有し、該半導体領域内に設けられた第 1 の半導体とは異なる第 2 の半導体であるソース及びドレイン領域を有し、前記ソース及びドレイン領域を隔てる領域上に絶縁膜を介して設けられた電氣的にフローティング状態とみなせることが可能であるフローティングゲート電極を有し、導通と遮断または電氣的に高インピーダンスの 2 つの状態を取り得る素子を介して、該フローティングゲート電極が、予め設定された電位を有する端子であるフローティングゲート初期電位設定端子に接続される構造を有し、前記フローティングゲート電極と絶縁膜を介して容量結合する複数の入力ゲートを有する半導体素子を、スイッチ付きニューロン MOS トランジスタと呼んだ時、

前記スイッチ付きニューロン MOS トランジスタを少なくとも 1 つ以上有する集積回路の、製造過程または製造後の少なくとも何れか一方の時期において、関数機能を定めるデータである関数機能構成データを、

第 1 のベクトルと第 2 のベクトルとの和から第 3 のベクトルを差し引いた値として保持することを特徴とし、

ここで前記第 1 のベクトルは、前記フローティングゲート電極がフローティングゲート電極初期電位設定端子から遮断または高インピーダンスの状態にある時、すなわち、関数処理を実行中の入力ゲート電極の電位を要素とするベクトルであり、

前記第 2 のベクトルとは、前記フローティングゲート電極がフローティングゲート電極初期電位設定端子に接続されている時の該フローティングゲート電極の電位を要素とするベクトルであり、

前記第 3 のベクトルとは、前記フローティングゲート電極がフローティングゲート電極初期電位設定端子から遮断されるか、または該フローティングゲート電極初期電位設定端子に対して高インピーダンスになるかのいずれかの状態になる時刻の入力ゲート電極の電位を要素とするベクトルである

集積回路。

【請求項 2】

基板上に第 1 の導電型の半導体領域を有し、該半導体領域内に設けられた第 1 の半導体とは異なる第 2 の半導体であるソース及びドレイン領域を有し、前記ソース及びドレイン領域を隔てる領域上に絶縁膜を介して設けられた電氣的にフローティング状態とみなせることが可能であるフローティングゲート電極を有し、導通と遮断または電氣的に高インピーダンスの 2 つの状態を取り得る素子を介して、該フローティングゲート電極が、予め設定された電位を有する端子であるフローティングゲート初期電位設定端子に接続される構造を有し、前記フローティングゲート電極と絶縁膜を介して容量結合する複数の入力ゲートを有する半導体素子を、スイッチ付きニューロン MOS トランジスタと呼んだ時、前記スイッチ付きニューロン MOS トランジスタを少なくとも 1 つ以上有する集積回路の、製造過程又は製造後の少なくとも何れか一方の時期において、関数機能を定める関数機能構成データを、関数処理実行中に前記スイッチ付きニューロン MOS トランジスタの各入力ゲート電極に誘起される電荷量の和と、前記フローティングゲート電極とフローティングゲート電極初期電位設定端子が接続状態から遮断状態又は電氣的に高インピーダンスの状態に切り替わるときに、該フローティングゲート電極に蓄積されている電荷量との差として保持することを特徴とする集積回路。

【請求項 3】

請求項 1 及び請求項 2 において、正整数 n の要素を有する関数機能構成データを保持する際に、正整数 i 個の入力端子を有する集積回路中に含まれる 1 つ以上の前記スイッチ付きニューロン MOS トランジスタの中において、少なくとも 1 つのスイッチ付きニューロン MOS トランジスタのフローティングゲート電極がフローティングゲート電極初期電位設定端子に接続される第 1 の時刻と、前記スイッチ付きニューロン MOS トランジスタの中の全てのスイッチ付きニュー

ーロンMOSトランジスタがフローティングゲート電極初期電位設定端子から遮断されるか、または該フローティングゲート電極初期電位設定端子に対して電気的に高インピーダンスになる第2の時刻との期間である初期化に要する時間を、各々任意の時間に設定された正整数 j 個の時間軸上の区間にわけ、 $i + j \geq n$ を満たすように設定し、

集積回路における i 個の入力端子と初期化に要する時間の j 個の時間軸上の区間で形成される2次元平面上における予め設定された領域に重なりなく、関数機能構成データの各要素を配置することにより、

関数機能構成データを入力端子数と初期化に要する時間中の区間で形成される2次元平面上に分散し保持すること

を特徴とする集積回路。

【請求項4】

請求項1において、

第1のベクトルの要素を論理的に1または0の2値、または多値、または連続的な値のいずれかで与え、

第2のベクトルの要素を論理的に1または0の2値、または多値、または連続的な値のいずれかで与え、

第3のベクトルの要素を論理的に1または0の2値、または多値、または連続的な値のいずれかで与えること

を特徴とする集積回路。

【請求項5】

請求項1及び請求項4において、

関数機能構成データ、第1のベクトル、第2のベクトル及び第3のベクトルの電気的表現形式として、

前記集積回路の外部より供給される電位または該集積回路内部において生成された電位の少なくともいずれか一方を用いること

を特徴とする集積回路。

【請求項6】

基板上に第1の導電型の半導体領域を有し、該半導体領域内に設けられた第1

の半導体とは異なる第2の半導体であるソース及びドレイン領域を有し、前記ソース及びドレイン領域を隔てる領域上に絶縁膜を介して設けられた電氣的にフローティング状態と見做せることが可能であるフローティングゲート電極を有し、導通と遮断または電氣的に高インピーダンスの2つの状態を取り得る素子を介して、該フローティングゲート電極が、予め設定された電位を有する端子であるフローティングゲート初期電位設定端子に接続される構造を有し、前記フローティングゲート電極と絶縁膜を介して容量結合する複数の入力ゲートを有する半導体素子を、スイッチ付きニューロンMOSトランジスタと呼んだ時、前記スイッチ付きニューロンMOSトランジスタを少なくとも1つ以上有する集積回路において、スイッチ付きニューロンMOSトランジスタのフローティングゲート電極を予め第2の電位に設定された前記フローティングゲート電極初期電位設定端子に接続し、この接続状態が維持されている期間に、スイッチ付きニューロンMOSトランジスタの1つ以上の入力ゲート電極に予め設定された1つ以上の要素で構成される第3の電位を印加し、該フローティングゲート電極が該フローティングゲート電極初期電位設定端子の電位に等しいと見做せる電位になった時に、該フローティングゲート電極を該フローティングゲート電極初期電位設定端子から遮断するか、または該フローティングゲート電極初期電位設定端子に対して電氣的に高インピーダンスにするか、の少なくともいずれか一方を行い、該フローティングゲート電極を電氣的にフローティング状態と見なせる状態にし、予め設定された1つ以上の要素で構成された第1の電位を該入力ゲート電極に印加することにより、

関数機能を定める構成データを保持すること
を特徴とする関数機能構成データ保持方法。

【請求項7】

請求項1乃至請求項5において、
前記スイッチ付きニューロンMOSトランジスタを含むインバータ機能を有する回路であるスイッチ付きニューロンMOSインバータの多段接続を有する集積回路において、
該集積回路中に含まれるニューロンMOSインバータ中の少なくとも1つのニュー

ニューロンMOSトランジスタのフローティングゲート電極がグランド電位を有する端子とスイッチを介して接続可能な構造を有し、フローティングゲート電極とグランド電位を有する端子が接続状態である時に、該ニューロンMOSトランジスタの入力ゲート電極の中の少なくとも1つの入力ゲート電極から予め設定された電位を入力し、該電位の入力が続いている間に、フローティングゲート電極とグランド電位を有する端子を遮断状態または電氣的に高インピーダンスの状態にし、フローティングゲート電極がフローティングと見做せる状態の時に該入力ゲート電極に該設定された電位の入力を止め、該入力ゲート電極に電源電位を供給することにより、関数機能構成データを保持すること
を特徴とする集積回路。

【請求項 8】

請求項 1 乃至請求項 5 において、
前記スイッチ付きニューロンMOSトランジスタを含むインバータ機能を有する回路であるスイッチ付きニューロンMOSインバータの多段接続を有する集積回路において、
該集積回路中に含まれるニューロンMOSインバータ中の少なくとも1つのニューロンMOSトランジスタのフローティングゲート電極が電源電位を有する端子とスイッチを介して接続可能な構造を有し、フローティングゲート電極と電源電位を有する端子が接続状態である時に、該ニューロンMOSトランジスタの入力ゲート電極の中の少なくとも1つの入力ゲート電極から予め設定された電位を入力し、該電位の入力が続いている間に、フローティングゲート電極と電源電位を有する端子を遮断状態または電氣的に高インピーダンスの状態にし、フローティングゲート電極がフローティングと見做せる状態の時に該入力ゲート電極に該設定された電位の入力を止め、該入力ゲート電極にグランド電位を供給することにより、関数機能構成データを保持すること
を特徴とする集積回路。

【請求項 9】

請求項 1 乃至請求項 5 において、
前記スイッチ付きニューロンMOSトランジスタを含むインバータ機能を有する

回路であるスイッチ付きニューロンMOSインバータの多段接続を有する集積回路において、

該集積回路中に含まれるニューロンMOSインバータ中の少なくとも1つのニューロンMOSトランジスタのフローティングゲート電極が予め設定された第2の電位を有する端子とスイッチを介して接続可能な構造を有し、

フローティングゲート電極と第2の電位を有する端子が接続状態である時に、該ニューロンMOSトランジスタの入力ゲート電極において、関数処理されるべき信号が入力されるゲート電極である入力信号ゲート電極の中の少なくとも1つの入力信号ゲート電極に予め設定された第3の電位を入力し、

該電位の入力が続いている間に、フローティングゲート電極と第2の電位を有する端子を遮断状態または電氣的に高インピーダンスの状態にし、フローティングゲート電極がフローティングと見做せる状態の時に該入力信号ゲート電極に第3の電位の入力を止め、該入力信号ゲート電極に第1の電位を供給することにより、関数機能構成データを保持すること

を特徴とする集積回路。

【請求項10】

請求項1乃至請求項5および請求項7乃至請求項9において、
前記集積回路を1つ以上含む回路ブロックを複数個有し、該回路ブロック内に含まれる集積回路の関数機能を構成するデータの保持に関する処理を同時に行うこと

を特徴とする集積回路。

【請求項11】

請求項1乃至請求項5および請求項7乃至請求項9において、
関数機能を構成するデータを保持する際に、
集積回路の外部より多値電位または連続的な電位を与える、または、集積回路の内部において外部より与えられた電位から多値電位または連続的な電位を生成する、の少なくともいずれか一方を用いて供給される多値電位または連続的な電位を、関数機能構成データとして保持すること
を特徴とする集積回路。

【請求項 1 2】

請求項 1 乃至請求項 5、及び請求項 1 1 において、
関数機能を構成可能な集積回路の外部より与えられた電位から、該集積回路内部に設けられたスイッチとインピーダンスを有する素子で構成されたインピーダンス回路網を用いて、多値電位または連続的な電位のいずれかを生成し、該多値電位または連続的な電位を保持すること
を特徴とする集積回路。

【請求項 1 3】

請求項 1 2 において、
前記インピーダンス回路網として、異なる電位を有する第 1 の端子と第 2 の端子の 2 つの端子間に直列に接続された抵抗を有する素子及びこの各素子間の端子と前記ニューロン MOS トランジスタの入力ゲート電極とを接続するスイッチより構成される回路を用いること
を特徴とする集積回路。

【請求項 1 4】

請求項 1 2 において、
前記インピーダンス回路網として、異なる電位を有する第 1 の端子と第 2 の端子の 2 つの端子間に各々スイッチを有する容量を並列に接続し、該並列容量の 2 つの端子のいずれか一方が、第 1 の端子と前記スイッチ付きニューロン MOS トランジスタの入力ゲート電極中の 1 つとスイッチを介して接続される構造を有する、または、第 2 の端子と前記スイッチ付きニューロン MOS トランジスタの入力ゲート電極中の 1 つとスイッチを介して接続される構造を有する、回路構成を用いること
を特徴とする集積回路。

【請求項 1 5】

請求項 1 乃至請求項 5 および請求項 7 乃至請求項 9 において、
関数機能を構成するデータを保持する際に、
集積回路の外部から供給された電位または集積回路内部で生成された電位の少なくともいずれか一方を用い、電位の供給が継続されている時間、即ち、電位が供

給される時間幅を用いて、多値または連続的な値を表現し、関数機能構成データを、多値または連続的な値を電荷量として保持すること
を特徴とする集積回路。

【請求項 1 6】

請求項 1 5 において、予め設定された電位が供給される時間幅を用いて多値または連続的な値を表現する際に、
前記ニューロン MOS トランジスタの入力ゲート電極とフローティングゲート電極間の容量及び、該容量よりも信号経路上、前段に設けられた抵抗を有する素子及び容量を有する素子で構成された抵抗と容量から構成された回路網を用いて、前記予め設定された電位が供給される時間幅を制御し、多値または連続的な値を生成し、保持すること
を特徴とする集積回路。

【発明の詳細な説明】

【 0 0 0 1】

【発明の属する技術分野】

本発明は、集積回路とその設計方法に係り、特に、集積回路製造後であっても集積回路中に関数を構成することが可能である集積回路において、関数を構成するデータを保持する方法とその集積回路に関するものである。

【 0 0 0 2】

【従来の技術】

製造した後に関数機能の書き込み又は、消去を行うことが可能である集積回路の実現形態として、主に論理的に 1 又は 0 の 2 値で表現される信号を用いた論理処理を行う様々な論理機能構成可能集積回路（以降、プログラマブルハードウェア又は、構成可能ハードウェアとも呼ぶ）が提案されている。集積回路において、論理機能を可変にする部分には、入出力部（以下 I/O 部）、配線接続部、論理部などがある。この中でも論理部の構成方法にはハードウェア設計と製造に用いられる技術の特徴が現れている。代表的な構成方法としては、図 4 9 に示すような LUT 型 (Look-up Table)、図 5 0 に示すようなマルチプレクサ型 (Multiplexer-Based Block)、図 5 1 に示すような PLA (Programmable Logic Array

）がある。

【 0 0 0 3 】

図 4 9 に示す L U T 型は S R A M で代表される記憶素子又は記憶回路で構成されており、記憶素子又は記憶回路において論理機能構成データ（コンフィギュレーションデータとも呼ぶ）を保持している。論理部が S R A M により構成されている場合を例として L U T 型の特徴を説明する。論理部が S R A M で構成されているために、標準的な C M O S プロセスで製造が可能であり、S R A M に保持されているデータにより論理機能が構成されるために、容易に論理を構成でき、原理上、無限回の書き換えが可能であるという利点を持つ。しかしながら、正整数 n 入力変数の論理を実現するためには、 2^n 個の S R A M が必要となり、チップ中に大きい面積を必要とする。また、電源の供給がなくなると、S R A M に保持されているデータが消えるというデータの揮発性という特徴のために、常にデータを保持するためには、外部に付加的な R O M が必要となる。

【 0 0 0 4 】

一方、図 5 0 に示すようなマルチプレクサ型では、マルチプレクサの多段論理構成により可変論理を実現する。L U T 型の場合と同様に全てのブール関数を実現することが可能となるが、マルチプレクサ型の場合は、論理機能構成データを保持するために、マルチプレクサの他に記憶素子または記憶回路が必要となる。この記憶素子又は記憶回路としてはアンチヒューズや 1 ビット S R A M などが用いられる。一般的には、多段論理を高速に動作させるために、前者がよく用いられているが、一度論理機能を構成した後で再構成を行うことは困難である。後者の場合は、L U T 型と同様、正整数 n 入力変数の論理を実現するためには少なくとも 2^n 個の S R A M が必要となり、チップ中に大きい面積を必要とする。

【 0 0 0 5 】

図 5 1 に示すような P L A においては、全てのブール関数は A N D と O R から構成可能であるということに基礎を置き、A N D アレイと O R アレイの接続状態により論理を構成する。すなわち、P L A は積和形論理を実現する。各々のアレイ内での配線の接続はアンチヒューズ、E P R O M、E E P R O M、S R A M などの記憶素子または記憶回路を用いて行われている。アンチヒューズの場合は、

比較的高速に動作するという利点を持つが、一度論理を構成した後の再構成は原理的に困難であるという問題がある。E P R O M と E E P R O M の場合は、A N D アレイ、O R アレイの他に論理機能構成データを保持するためだけに、これら記憶素子のための面積が必要になる。また、論理機能構成データの書き換えのために、一般的に専用のデータ書き込み器又は消去器が必要であり、論理機能の再構成を短時間で高速にかつ容易に行うことは困難である。特に、E P R O M の場合は論理機能の書き換えのためには紫外線の照射が必要であり、論理機能の再構成は容易ではない。また、E E P R O M の場合は E P R O M よりもメモリセルの大きさが大きくなり、その上、データの書き込み及び消去にトンネル電流を使用しているためにデータの書き込み及び消去を高速に行うことは困難である。

【 0 0 0 6 】

以上、代表的なプログラマブルハードウェアの論理部の構成方法とその論理機能構成データの保持方法を説明した。前記以外のプログラマブルハードウェアも論理機能の実現方法が異なるだけで、論理機能構成データを保持するためには、同様に論理機能構成データ保持のための記憶素子又は記憶回路を有している。

【 0 0 0 7 】

既存のプログラマブルハードウェアは、入出力信号として論理的に 1 又は 0 で表現される 2 値を用いたデジタル信号処理装置という位置付けであり、プログラマブルハードウェアの論理機能構成データも入出力信号と同様に 2 値で保持される。2 値で表現された信号を用いるデジタル信号の論理関数処理のみならず、多値で表現された入出力信号の関数処理やアナログ値で表現された信号の関数処理を行うことも可能である高機能型プログラマブルハードウェアの設計、開発を指向した場合、関数機能構成データとして 2 値を保持する方法のみでは集積回路の構成方法において柔軟性に欠ける。また、入出力信号が 2 値であっても、内部処理において多値やアナログ値を利用可能な回路構成を用いることで全ての処理を 2 値で行う集積回路に比べてより小さい面積で同じ機能を実現できる可能性がある。

【 0 0 0 8 】

以上、プログラマブルハードウェアにおける論理機能構成データ保持は、S R

AMにより行われる場合は面積が大きくなり、アンチヒューズの場合は再構成が困難であり、EPROM、EEPROMの場合は一般的に書き換えに専用器が必要であり、再構成を高速に行うことが困難であるという問題があり、更にプログラマブルハードウェアの高機能化を指向する際に柔軟性を欠くという問題もある事について説明した。

【0009】

一方、全ての論理関数は、しきい論理で表現でき、しきい素子の重みと閾値の調整及びしきい素子の多段接続により実現可能であることが知られている。しきい論理を効率よく実現できるしきい素子の一つにニューロンMOSトランジスタがある。例として、文献1「Tadashi Shibata and Tadahihiro Ohmi, A Functional MOS Transistor Featuring Gate-Level Weighted Sum and Threshold Operations, IEEE Transactions on Electron Devices, Vol. 39, No. 6, pp. 1444-1455, 1992」がある。文献1中より、ニューロンMOSトランジスタの構造およびレイアウト、及び極性の異なる伝導型を持つ2つのニューロンMOSトランジスタを用いた相補型ニューロンMOSインバータと呼ばれる回路を図52に示す。標準的な相補型MOSインバータ（以下CMOSインバータ）と類似の構造を持つ相補型ニューロンMOSインバータを以降、ニューロンMOSインバータと呼ぶ。

【0010】

このような構造を有するニューロンMOSトランジスタ及びそれを用いた回路については、特開平6-77427号公報および特開平7-161942号公報においてその基本構造が開示されている。前者の公開公報においてはブール関数生成用の論理機能は、集積回路製造工程中において配線形成用マスクを用いて形成されており、製造後における論理機能の再構成は不可能であった。これはいわば、ゲートアレーの概念に対応したものであり、従って、集積回路製造後に論理機能を再構成するためのスイッチ等が組み込まれた配線、又は論理機能を構成するための記憶素子や記憶回路を設ける、または論理機能構成データの保持方法

を開示する、といった本発明の基本事項に関する発想は示されていない。また、後者の公開公報において開示されている構造は、ニューロンMOSトランジスタのフローティングゲートにある電位を有する端子にスイッチを介して接続し、フローティングゲートに蓄積される不要な電荷を除去することにより、ニューロンMOSトランジスタの信頼性向上を目的としたものである。演算機能についても若干触れられているが、本発明におけるような関数機能構成データの保存方法については記述されていない。

【 0 0 1 1 】

このニューロンMOSトランジスタを用いて構成したニューロンMOS回路を用いて、特定の数の入力数に対して、ブール関数を表現できることが、文献2「*Tadashi Shibata, Koji Kotani and Tadahiro Ohmi, Real-Time Reconfigurable Logic Circuits Using Neuron MOS Transistors, IEEE International Solid-State Circuits Conference, FA15. 3, pp. 238-239, 1993*」で示されている。しかしながら、ブール関数を選択する信号は集積回路外部から直接供給されており、論理機能構成データ又は関数機能構成データの保持をニューロンMOS回路を用いて行うという概念は上記の文献2には提案されていない。

【 0 0 1 2 】

【発明が解決しようとする課題】

以上説明したように、従来、プログラマブルハードウェアにおいては、実現すべき論理機能の再構成を可能とするためには、LUT型のようにSRAM等のデータ書き込み及び消去が可能な記憶回路で構成された、集積回路上に多大な面積を必要とする可変論理部が必要であるか、またはマルチプレクサ型及びPLAのように、原理的に論理機能の再構成が極めて困難であるアンチヒューズや書き込み又は消去時に専用の装置を要するEPROM等の論理機能の主構成要素以外の記憶素子が必要であり、特に後者においては論理機能の再構成を容易に短時間で行えないという問題があった。

【 0 0 1 3 】

このため、可変論理部として論理機能の主構成要素以外の記憶素子又は記憶回路の面積が不必要であり、短時間で容易に論理機能を再構成することが可能である集積回路の実現が望まれていた。本発明は、プログラマブルハードウェアにおける論理機能構成データを保持するために必要なSRAM等の記憶素子及び記憶回路の数を低減する又は使用しないことで面積使用効率を向上し、かつ論理機能を包含する関数機能の再構成を短時間に容易に行うことを可能とし、プログラマブルハードウェアの高機能化も可能にする方法とその方法を用いた集積回路を提供することを目的としている。

【 0 0 1 4 】

【課題を解決するための手段】

前記の目的を達成するために、本発明においては以下の手段を開示している。

請求項1においては、「従来の技術」の項において述べたニューロンMOSトランジスタのフローティングゲートを或る電位を有する端子にスイッチを介して接続した構成とし、これをスイッチ付きニューロンMOSトランジスタと呼ぶことにする。このスイッチ付きニューロンMOSトランジスタを少なくとも1つ以上有する集積回路の、製造過程または製造後の少なくとも何れか一方の時期において、上記のフローティングゲート電極がフローティングゲート電極初期電位設定端子から遮断または高インピーダンスの状態にある時、関数機能を定めるデータである関数機能構成データを、関数処理を実行中の入力ゲート電極の電位を要素とする第1のベクトルとし、前記フローティングゲート電極がフローティングゲート電極初期電位設定端子に接続されている時のフローティングゲート電極の電位を要素とする第2のベクトルとし、上記フローティングゲート電極がフローティングゲート電極初期電位設定端子から実質的に遮断状態となる時刻の入力ゲート電極の電位を要素とする第3のベクトルとして、これら第1のベクトルと第2のベクトルとの和から第3のベクトルを差し引いた値として保持する回路について開示したものである。なお、回路上の物理的各ベクトルの要素数が不一致である場合は、ベクトルの演算を可能とするために、最大要素数を有するベクトルの要素数に一致するように回路構成を考慮し、少ない要素数を有するベクトルの

要素数を増加させることが必要である。

【0015】

請求項2においては、「従来の技術」の項において述べたニューロンMOSトランジスタのフローティングゲートを或る電位を有する端子にスイッチを介して接続した構成とし、これをスイッチ付きニューロンMOSトランジスタと呼ぶことにする。このスイッチ付きニューロンMOSトランジスタを少なくとも1つ以上有する集積回路の、製造過程または製造後の少なくとも何れか一方の時期において、所望の関数機能を実現し、その状態を継続するための手段として、関数処理実行中にスイッチ付きニューロンMOSトランジスタの各入力ゲート電極に誘起される電荷量の和と、上記のフローティングゲート電極とフローティングゲート初期電位設定端子が接続状態から遮断状態又は電氣的に高インピーダンスの状態に切り替わる時にフローティングゲート電極に蓄積されている電荷量との差として保持する回路について開示している。

【0016】

請求項3においては、上記の請求項1及び請求項2の内容で、ベクトル表示された関数機能構成データをスイッチ付きニューロンMOSトランジスタの入力端子の数と、予め設定された時間軸上の区間とで構成された2次元平面上に互いに重複することの無いように分散し保持する回路について開示している。

【0017】

請求項4においては、「従来の技術」の項で述べたように、従来のプログラマブルハードウェアは2値のみを使用しており、これ以外の値を利用する機能をしていなかったことに鑑み、上記請求項1において、第1、第2、第3の各ベクトルを2値、または多値、または連続的な値のいずれかで与える構成について開示している。

【0018】

請求項5については、請求項1及び請求項4において、関数機能構成データベクトル、第1のベクトル、第2のベクトル及び第3のベクトルの電氣的表現形式として、集積回路の外部より供給される電位またはこの集積回路内部において生成された電位のいずれかを用いる構成について開示している。

【 0 0 1 9 】

請求項6においては、「従来の技術」の項において述べたニューロンMOSトランジスタのフローティングゲートを或る電位を有する端子にスイッチを介して接続した構成とし、これをスイッチ付きニューロンMOSトランジスタと呼ぶことにする。このスイッチ付きニューロンMOSトランジスタを少なくとも1つ以上有する集積回路において、フローティングゲート電極を予め第2の電位に設定されたフローティングゲート電極初期電位設定端子に接続し、この接続状態が維持されている期間に、スイッチ付きニューロンMOSトランジスタの1つ以上の入力ゲート電極に予め設定された1つ以上の要素で構成される第3の電位を印加し、フローティングゲート電極がフローティングゲート電極初期電位設定端子の電位に等しいと見做せる電位になった時に、このフローティングゲート電極を上記のフローティングゲート電極初期電位設定端子から実質的に遮断状態とし、これによりフローティングゲート電極を電氣的にフローティング状態と見做せる状態にし、予め設定された1つ以上の要素で構成された第1の電位を入力ゲート電極に印加することにより、関数機能を定める構成データを保持する方法について開示したものである。

【 0 0 2 0 】

請求項7においては、請求項1乃至請求項5で述べたスイッチ付きニューロンMOSトランジスタを含むインバータ機能を有する回路であるスイッチ付きニューロンMOSインバータの多段接続を有する集積回路において、この集積回路中に含まれるニューロンMOSインバータ中の少なくとも1つのニューロンMOSトランジスタのフローティングゲート電極がグランド電位を有する端子とスイッチを介して接続可能な構造を有する構成としている。このフローティングゲート電極とグランド電位を有する端子とが接続状態である時に、このニューロンMOSトランジスタの入力ゲート電極の中の少なくとも1つの入力ゲート電極から予め設定された電位を入力し、この電位の入力が続いている間に、フローティングゲート電極とグランド電位を有する端子を実質的に遮断状態にし、フローティングゲート電極がフローティングと見做せる状態の時に上記の入力ゲート電極に設定された電位の入力を止め、この入力ゲート電極に電源電位を供給することに

より、関数機能構成データを保持する回路について開示している。

【 0 0 2 1 】

請求項 8 においては、請求項 1 乃至請求項 5 で述べたスイッチ付きニューロン MOS トランジスタを含むインバータ機能を有する回路であるスイッチ付きニューロン MOS インバータの多段接続を有する集積回路において、この集積回路中に含まれるニューロン MOS インバータ中の少なくとも 1 つのニューロン MOS トランジスタのフローティングゲート電極が電源電位を有する端子とスイッチを介して接続可能な構造としている。ここで、フローティングゲート電極と電源電位を有する端子とが互いに接続状態である時に、前記のニューロン MOS トランジスタの入力ゲート電極の中の少なくとも 1 つの入力ゲート電極から予め設定された電位を入力し、この電位の入力が続いている間に、フローティングゲート電極と電源電位を有する端子を実質的に遮断状態にし、フローティングゲート電極がフローティングと見做せる状態になった時に入力ゲート電極に設定された電位の入力を止め、この入力ゲート電極にグランド電位を供給することにより、関数機能構成データを保持する構成の回路について開示している。

【 0 0 2 2 】

請求項 9 については、請求項 1 乃至請求項 5 において、請求項 1 で述べたスイッチ付きニューロン MOS トランジスタを含む多段接続を有する集積回路において、この集積回路中に含まれるニューロン MOS インバータ中の少なくとも 1 つのニューロン MOS トランジスタのフローティングゲート電極が予め設定された第 2 の電位を有する端子とスイッチを介して接続可能な構造としている。フローティングゲート電極と第 2 の電位を有する端子が接続状態である時に、このニューロン MOS トランジスタの入力ゲート電極において、関数処理されるべき信号が入力されるゲート電極である入力信号ゲート電極の中の少なくとも 1 つの入力信号ゲート電極に予め設定された第 3 の電位を入力し、この電位の入力が続いている間に、フローティングゲート電極と第 2 の電位を有する端子を遮断状態または電氣的に高インピーダンスの状態にし、フローティングゲート電極がフローティングと見做せる状態の時に入力信号ゲート電極に第 3 の電位の入力を止め、入力信号ゲート電極に第 1 の電位を供給することにより、関数機能構成データを

保持する構成の集積回路について開示している。これは、関数機能構成データが入力されるゲート電極が限定されていないことを意味している。すなわち、関数機能構成データが入力される専用のゲート電極のみならず、関数処理される信号を入力するゲート電極からも入力可能であることを意味する。

【 0 0 2 3 】

請求項 1 0 については、請求項 1 乃至請求項 5 および請求項 7 乃至請求項 9 において、前記の集積回路を 1 つ以上含む回路ブロックを複数個有し、この回路ブロック内に含まれる集積回路の関数機能を構成するデータの保持に関する処理を同時に行う構成の集積回路について開示している。

【 0 0 2 4 】

請求項 1 1 については、請求項 1 乃至請求項 5 および請求項 7 乃至請求項 9 において、関数機能を構成するデータを保持する際に、集積回路外部から多値電位または連続的な電位を与えるか、または、集積回路内部において外部から与えられた電位を用いて多値電位または連続的な電位を生成するか、の少なくともいずれか一方を用いて供給される多値電位または連続的な電位を、関数機能構成データとして保持する構成とした集積回路について開示したものである。

【 0 0 2 5 】

請求項 1 2 については、請求項 1 乃至請求項 5、及び請求項 1 1 において、関数機能を構成可能な集積回路の外部より与えられた電位から、この集積回路内部に設けられたスイッチと抵抗、容量、インダクタンス等インピーダンスを有する素子で構成されたインピーダンス回路網を用いて、多値電位または連続的な電位のいずれかを生成し、これら多値電位または連続的な電位から得られた特定の電位を関数機能構成データとして保持する構成を開示したものである。

【 0 0 2 6 】

請求項 1 3 については、請求項 1 2 において、前記のインピーダンス回路網として、異なる電位を有する第 1 の端子と第 2 の端子の 2 つの端子間に直列に接続された抵抗を有する素子及びこの各素子間の端子と前記ニューロン MOS トランジスタの入力ゲート電極とを接続するスイッチより構成される回路について開示している。

【 0 0 2 7 】

請求項 1 4 については、請求項 1 2 において、上記のインピーダンス回路網として、異なる電位を有する第 1 の端子と第 2 の端子の 2 つの端子間に各々スイッチを有する容量を並列に接続し、これら並列容量の 2 つの端子のいずれか一方が、第 1 の端子あるいは、上記のスイッチ付きニューロン MOS トランジスタの入力ゲート電極中の 1 つのいずれか一方とスイッチを介して接続される構造を有するか、または、第 2 の端子あるいは、前記スイッチ付きニューロン MOS トランジスタの入力ゲート電極中の 1 つのいずれか一方とスイッチを介して接続される構造を有する回路構成について開示している。

【 0 0 2 8 】

請求項 1 5 については、請求項 1 乃至請求項 5 および請求項 7 乃至請求項 9 において、関数機能を構成するデータを保持する際に、集積回路の外部から供給された電位または集積回路内部で生成された電位の少なくともいずれか一方を用い、電位の供給が継続されている時間、即ち、電位が供給されている時間幅を用いて、多値または連続的な値を表現し、関数機能構成データとして、多値または連続的な値を電荷量として保持する構成の集積回路について開示している。

【 0 0 2 9 】

請求項 1 6 については、請求項 1 5 において、予め設定された電位が供給される時間幅を用いて多値または連続的な値を表現する際に、上記のニューロン MOS トランジスタの入力ゲート電極とフローティングゲート電極間の容量、及びこの容量よりも信号経路上、前段に設けられた抵抗を有する素子及び容量を有する素子で構成された抵抗と容量から構成された回路網を用いて、前記所定の電位が供給される時間幅を制御することにより、多値または連続的な値を生成し、保存する回路について開示している。

【 0 0 3 0 】

【作用】

本発明の関数機能構成データ保持方法及び本方法を用いた集積回路は、関数処理を行う回路自体に関数機能構成データを保持させるため、関数機能構成データを保持するためだけに必要な記憶素子又は記憶回路が不必要になり、集積回路に

において単位面積あたりに含まれる機能が増加し、面積使用効率を向上することが可能である。また、関数機能構成データの保持及び書き換えが電氣的に高速に行われるために関数機能の再構成を容易に行うことが可能であり、プログラマブルハードウェアの可変関数機能部として使用する際には、関数機能を再構成したい部分以外が動作中であっても、その部分だけは再構成が出来るという動的関数機能再構成を実現することも可能にする。更に、論理的に1又は0で表現される2値のみならず、多値及び連続的な値をも保持することが容易であるため、プログラマブルハードウェアの高機能化も行うことが可能である。

【 0 0 3 1 】

【発明の実施の形態】

(実施の形態1)

プログラマブルハードウェアの可変論理部の主要要素を、図1に示すようなニューロンMOSインバータを2段接続にした回路構成を図2に示す n ($n \geq 1$)個の入力信号端子input[1]~input[n]、及び m ($m \geq 1$)個の制御信号端子ctl[1]~ctl[m]を有するニューロンMOS回路を用いて構成する。図2において出力信号端子を持つ最終段のニューロンMOSインバータをメインインバータ21、と呼び、このメインインバータ21の前段のニューロンMOSインバータをプリーインバータ22、23、…、24と呼ぶことにする。この構成では、図2のプリーインバータ22、23、…、24に入力される制御信号の組合せにより実現される論理を決めることが可能である。制御信号端子が m 個ある場合は、2値入力の制御信号の組合せは 2^m 通りある。この 2^m 通りの組合せを、制御信号端子に新たに記憶素子又は記憶回路を設けることなく保持する方法とその方法を実現する回路例について、初めに具体的に2つの入力信号を使用する場合を導入して、説明する。

【 0 0 3 2 】

まず初めに、ニューロンMOSトランジスタのフローティングゲートの初期状態についての定義を行う。ここでは、次に述べる2つの場合をフローティングゲートが「基本的初期状態」にあると呼ぶ。すなわち、第1の場合は、ニューロンMOSインバータのフローティングゲートに製造直後から電荷が存在せず完全に

フローティングの状態であり、フローティングゲートと各MOSトランジスタのチャネル領域との間の容量値に比較してフローティングゲートと入力端子間の容量値の和が非常に大きい場合である。第2の場合は、ニューロンMOSインバータの入力信号および制御信号の入力側端子を全てグランド電位に固定した状態で、フローティングゲートをグランドに接続し、グランド電位に設定した後、このフローティングゲートをグランドから開放しフローティング状態にし、初期化した場合である。これら2つの場合をフローティングゲートが「基本的初期状態」にあると呼ぶ。

【 0 0 3 3 】

次に、具体的に2入力変数の場合を例として説明する。図2において入力信号端子数を $n = 2$ 、制御信号端子数を $m = 3$ にし、新たにスイッチA、スイッチB、スイッチCを付加した場合のメインインバータの入力部分を図3に示す。図3の入力部を持つニューロンMOS回路が、ある論理処理を行う場合、フローティングゲートが基本的初期状態にある時に必要な制御信号電位の組合せが、電源電位で規格化した規格化電位を用いた場合、

$$(V_{ctl}[1], V_{ctl}[2], V_{ctl}[3]) = (1, 0, 1)$$

であるとする。この組合せのベクトル表現を関数機能構成データベクトルと呼ぶ。この規格化電位で表現された値は論理的な1及び0にも対応させることができる。また、図3においては電源電位及びグランド電位を回路動作の上限電位及び下限電位とし、電源電位により電位を規格化した。が、上限電位及び下限電位をそれぞれ集積回路内で生成した前記以外の電位を用いることも可能である。図3に示すように、各々のプリインバータのフローティングゲート端子とグランド端子の間にスイッチAを設け、制御信号端子と各プリインバータの制御信号端子との間にスイッチBを設ける。これにより制御信号端子と各プリインバータの制御信号端子とを区別するために各プリインバータの制御信号端子を以下、制御信号端子入力側端子($ctl[1a]$, $ctl[2a]$, $ctl[3a]$)と呼ぶことにする。この各々のプリインバータの制御信号端子入力側端子($ctl[1a]$, $ctl[2a]$, $ctl[3a]$)と電源の間にスイッチCを設けた構成にする。動作はまず、スイッチCを開放し、スイッチAとスイッチBを接続する。スイッチAを接続することで、プリインバータ

のフローティングゲートの規格化電位は

$$(V_{flt}[1], V_{flt}[2], V_{flt}[3]) = (0, 0, 0)$$

になる。このベクトル表現を第2のベクトルと呼ぶ。2つの入力信号端子 $input[1]$, $input[2]$ を共にグランド電位にし、制御信号端子 $ctl[1] \sim ctl[3]$ にフローティングゲートが基本的初期状態にある場合に必要となる制御信号の反転信号である規格化電位

$$(V_{ctl}[1], V_{ctl}[2], V_{ctl}[3]) = (0, 1, 0)$$

を入力する。このベクトル表現を第3のベクトルと呼ぶ。この状態でスイッチAとスイッチBを開放することで、各々のプリインバータは制御信号の規格化電位が上記の

$$(V_{ctl}[1], V_{ctl}[2], V_{ctl}[3]) = (0, 1, 0)$$

の状態で初期化されたことになる。

【0034】

次に、スイッチCを接続し、制御信号端子の全てを電源に接続する。この時、プリインバータの制御信号端子入力側端子の実際の規格化電位は

$$(V_{ctl}[1a], V_{ctl}[2a], V_{ctl}[3a]) = (1, 1, 1)$$

である。このベクトル表現を第1のベクトルと呼ぶ。実際の制御信号端子入力側端子の規格化電位は前記の通りであるが、プリインバータのフローティングゲートからはフローティングゲートが基本的初期状態である場合に必要となる制御信号の規格化電位の組合せと等価に見えることになる。すなわち、関数機能構成データベクトルは第1のベクトルと第2のベクトルとの和と、第3のベクトルとの差として保持されていることになる。

【0035】

次に、この方法を一般化した場合について説明する。図4に示す構成において m 個のプリインバータに対する m 個の制御信号の電位、すなわち制御信号端子入力側端子 $ctl[1a] \sim ctl[ma]$ 、及びフローティングゲート $flt[1] \sim flt[m]$ の電位について次のように定義する。すなわち、各々のプリインバータのフローティングゲートをスイッチAにより接続される端子の規格化電位である第2のベクトルを(数1)式で表す。

【 0 0 3 6 】

【数 1】

$$V_{flt} = \begin{pmatrix} V_{flt}[1] \\ V_{flt}[2] \\ V_{flt}[3] \\ \vdots \\ V_{flt}[m] \end{pmatrix} \quad (\text{数 1})$$

【 0 0 3 7 】

ブリインバータのフローティングゲート $flt[1] \sim flt[m]$ の規格化電位が (数 1) 式である時にスイッチ B が接続状態であり、スイッチ C が開放状態又は遮断状態である時に、制御信号端子に入力されている規格化電位である第 3 のベクトル V_{ctl} を (数 2) 式で表す。

【 0 0 3 8 】

【数 2】

$$V_{ctl} = \begin{pmatrix} V_{ctl}[1] \\ V_{ctl}[2] \\ V_{ctl}[3] \\ \vdots \\ V_{ctl}[m] \end{pmatrix} \quad (\text{数 2})$$

【 0 0 3 9 】

スイッチ B 及びスイッチ A を開放状態又は、遮断状態にし、スイッチ C を接続状態にし、フローティングゲート $flt[1] \sim flt[m]$ がフローティング状態である時

の制御信号端子のグランドに対する規格化電位である第 1 のベクトル $V_{ctl a}$ を (数 3) 式で表す。

【 0 0 4 0 】

【数 3】

$$V_{ctl a} = \begin{pmatrix} V_{ctl}[1a] \\ V_{ctl}[2a] \\ V_{ctl}[3a] \\ \vdots \\ V_{ctl}[(m)a] \end{pmatrix} \quad (\text{数 3})$$

【 0 0 4 1 】

フローティングゲート $f_{lt}[1] \sim f_{lt}[m]$ からみた制御信号端子の相対的電位の規格化電位であるベクトルを V_{rel} とし、(数 4) 式で表す。

【 0 0 4 2 】

【数 4】

$$V_{rel} = \begin{pmatrix} V_{rel}[1] \\ V_{rel}[2] \\ V_{rel}[3] \\ \vdots \\ V_{rel}[m] \end{pmatrix} \quad (\text{数 4})$$

【 0 0 4 3 】

この時、次の (数 5) 式が成立する。

$$V_{rel} = V_{ctl a} + V_{flt} - V_{ctl} \quad (\text{数 5})$$

今、保持したい関数機能構成データの規格化電位である関数機能構成データベクトルを V_{cfg} とした場合、 V_{cfg} と V_{rel} が等しい場合、関数機能構成データが保持されていることになる。すなわち、次の(数6)式の関係が成立する。

【0044】

$$V_{cfg} = V_{rel} = V_{ctla} + V_{flt} - V_{ctl} \quad (\text{数6})$$

今、プリインバータの全ての制御信号端子の電位を電源電位に固定し、スイッチAが接続状態にある初期化時にプリインバータのフローティングゲート $flt[1] \sim flt[m]$ の電位をグランド電位に固定した場合、第1のベクトル、第2のベクトルは次の(数7)式および(数8)式で表される。

【0045】

【数7】

$$V_{ctla} = \begin{pmatrix} 1 \\ 1 \\ 1 \\ \vdots \\ \vdots \\ 1 \end{pmatrix} = E \quad (\text{数7})$$

$$V_{flt} = \begin{pmatrix} 0 \\ 0 \\ 0 \\ \vdots \\ \vdots \\ 0 \end{pmatrix} = 0 \quad (\text{数8})$$

【0046】

従って、ある論理を実現するための初期化時の制御信号の規格化電位である第

3 のベクトルは次の (数 9) 式になる。

$$V_{ctl} = E + 0 - V_{cfg} = V'_{ctl} \quad (\text{数 9})$$

但し、 V'_{ctl} は V_{ctl} の各要素について 1 を 0 に置き換え、0 を 1 に置き換えた電位ベクトルに相当する。ここまでは、ベクトルの要素として規格化電位を用いたが、規格化電位が 1 又は 0 の 2 値の場合、関数機能構成データベクトルの要素をブール変数と考えることもできる。要素をブール変数としてみた場合、 V'_{ctl} は V_{ctl} の反転である。これから、第 1 のベクトルが E であり、第 2 のベクトルが 0 である場合は、基本的初期状態において保持したい関数機能構成データベクトルの反転ベクトルを初期化時に第 3 のベクトルとして入力することで、関数機能構成データが保持されていることが判る。

【 0 0 4 7 】

従来の方法では、論理機能を構成するデータが 1 および 0 の両方を含むために、論理機能構成データを保持する記憶素子又は記憶回路により個別のデータ毎に保持する必要があった。本方法では、ニューロン MOS トランジスタを用いた集積回路において関数処理を行う際に、全ての制御信号端子の電位をある電位に固定する方法を用いているために、プリインバータ毎に新たな記憶素子及び記憶回路を必要としない。以上のことから、この方法によりニューロン MOS 回路以外に新しく記憶素子及び記憶回路を設けることなく、ある論理を実現する制御信号の組合わせを保持できることが判る。

【 0 0 4 8 】

更に、制御信号電位を保持する動作を回路シミュレーションを用いて確認した。

【 0 0 4 9 】

回路シミュレーションの際には 2 つの入力信号と 3 つの制御信号を持つニューロン MOS 回路を題材とした。その結果について説明する。図 3 中のプリインバータの 1 つに着目し、図 3 中のスイッチ A、スイッチ B、スイッチ C を各々トランスミッションゲート TG-A、TG-B、TG-C に置き換え、プリインバータの出力端子に出力バッファを設けた回路を図 5 に示す。図 5 にはスイッチとしてトランスミッションゲートを用いる回路のみが記載されているが、これらの

トランスミッションゲートは1つのMOSトランジスタによるパストランジスタで代替することも可能である。図5中のトランスミッションゲートTG-A、TG-Bの導通、遮断状態の切り替えはそれぞれのトランスミッションゲート制御信号端子(cpal, cnal)、(cpb1, cnb1)、(cpc2, cnc2)に印加される制御信号により行われる。これらの制御信号は、図5中の初期化信号端子initの信号から標準CMOSインバータを用いて生成される。本シミュレーションにおいては、各トランスミッションゲートを制御するための信号を標準CMOSインバータを多段接続して生成しているが、各々の制御信号を全く別の回路で生成することも、外部から個別に供給することも可能である。図5中のTG-A、TG-Bは同期して導通状態と遮断状態になり、TG-CはTG-A、TG-Bの状態とは、ある遅延時間の後、導通、遮断の状態が反対の状態となる。

【0050】

図5で示す回路において、制御信号の電位として、電源電位である1の状態を保持する方法を図6を用いて説明する。時刻0に入力信号端子input[1]、input[2]、および制御信号端子ctl[1]をそれぞれグランド電位にし、トランスミッションゲートTG-AとTG-Bを導通状態に、TG-Cを遮断状態にする。ある時刻 t_2 ($t_2 > 0$)において、TG-AとTG-Bを遮断状態に、次にTG-Cを導通状態にする。時刻 t_2 の後、制御信号端子ctl[1a]は電源電位になり、フローティングゲートは制御信号端子入力側端子ctl[1a]との容量結合により、ある電位になる。更に、時刻 t_3 ($t_3 > t_2$)において、入力信号端子input[2]の電位を電源電位にする。この時、プリインバータの3つの入力端子中、2つの端子の電位が電源電位になったため、プリインバータのしきい値電圧が電源電位の半分程度に設定されていれば、プリインバータは電源電位の反転電位であるグランド電位近傍の値を出力する。この時、図5において回路シミュレーションのためだけに付加された出力バッファの出力はプリインバータの出力信号の反転信号である電源電位を出力している。このように、関数処理の際に必要な制御信号の電位1の反転電位である0でフローティングゲートを初期化し、制御信号端子ctl[1a]を電源に接続することで制御信号の保持を正しく行うができる。この動作を示す回路シミュレーション結果を、横軸に時刻、縦軸に電位を取った図7に示す。図7

では、TG-A、TG-B、TG-Cの導通、遮断によりフローティングゲートの電位が変化し、入力信号端子input [2]の電位が電源電位になる時、フローティングゲートの電位が更に上昇し、プリインバータの出力が反転していることが判る。

【0051】

一方、時刻0の状態は図6に示した場合と同様であるが、フローティングゲートの初期化を方法を変えて、制御信号の電位が0の状態を保持する方法を図8を用いて説明する。図8において、TG-AとTG-Bが導通状態である時刻 t_1 ($0 < t_1 < t_2$)に制御信号端子ctl [1]の電位を電源電位に固定する。時刻 t_1 からある遅延時間を経た時刻 t_2 において、TG-AとTG-Bを遮断し、その後TG-Cを導通させる。この時、制御信号端子入力側端子ctl [1a]の電位は時刻 t_2 の前後で変化はしない。また、時刻 t_1 から t_2 の間、フローティングゲートはグラウンドに接続されているため、フローティングゲートの電位はグラウンド電位近傍である。時刻 t_3 において、入力信号端子input [2]の電位を電源電位にする。この時、プリインバータの入力端子中、入力信号端子input [2]、制御信号端子入力側端子ctl [1a]の電位が図6の場合と同様電源電位であるが、プリインバータの出力は時刻 t_3 の前後で変化しない。この動作の回路シミュレーション結果を図9に示す。図9の結果は、時刻0において、入力信号端子input [1]、input [2]、および制御信号端子ctl [1]をグラウンド電位に固定し、フローティングゲートを初期化した後、フローティングゲートをグラウンドから遮断し、その後に入力信号端子input [2]の電位を電源電位に変化させた場合と同じ状態を示している。以上、説明した関数機能構成データを保持する機能を持つニューロンMOS回路の例を図10に示す。図4の全てのスイッチを電氣的スイッチの1つであるトランスマッションゲートで置き換えた回路になっている。これらはトランスマッションゲート制御信号端子cp1、cp2、cn1、cn2に印加される制御信号で導通、遮断の切り換えを行っている。トランスマッションゲートを、MOSトランジスタをバストランジスタとして用いることで置換することも可能である。

【0052】

次に、本発明による関数機能構成データ保持方法が再構成可能な論理回路にお

いて有効であることを、2つの入力信号を使用するニューロンMOS回路を用いた回路シミュレーションで示す。回路シミュレーション用のニューロンMOS回路図を図11に示す。図11のニューロンMOS回路は、図10のニューロンMOS回路にメインインバータ110のフローティングゲートの初期化用のトランスミッションゲート(TG)111とグランドに接続されたパストランジスタ112、および信号電位波形整形のための2段接続されたインバータ113をプリインバータ114の後段に付加しており、メインインバータ110の2つの入力信号端子にはそれぞれ2つのトランスミッションゲートと4つのインバータからなる遅延時間制御回路115が付加されている。更に、論理を構成するためにプリインバータの入力端子が電源に接続する回路または、グランドに接続する回路を付加している。すなわち、図11において、制御信号端子ctl[1]、ctl[2]、ctl[3]と各々のプリインバータを接続するトランスミッションゲート116、およびプリインバータの入力側制御端子と電源を接続するPMOSFETであるトランジスタ117を用いた回路をCell type Bとし、用いない回路をCell type Aとした。Cell type Aでは、プリインバータ114を初期化する際に入力端子の全てをグランド電位に固定し、フローティングゲートをグランドに固定した後、フローティングの状態にする方法を取り、Cell type Bでは関数機能構成データが保持される本発明の方法によりプリインバータ114のフローティングゲートの初期化を行った。Cell type Aの各端子の電位波形と時間との関係を図12に示す。図中横軸の時間の単位の(u sec)は(μ sec)であり、 10^{-6} 秒を表している。以下の図中でも同様の略記を用いる。図12の縦軸は上から順に実現する論理名、制御信号端子ctl[1]の端子電位、ctl[2]の端子電位、ctl[3]の端子電位、および入力信号端子input[1]の端子電位、input[2]の端子電位、出力端子outputの電位を表しており、横軸は時間を表している。論理が変わる間の時間にフローティングゲートの初期化を行っている。制御信号端子電位の組合せにより、所望の論理が実現されていることが判る。

【0053】

本発明の関数機能構成データ保持機能を持つCell type Bの各端子の電位波形と時間との関係を図13に示す。図13の縦軸及び横軸は図12と同様である。論

理を変更する間の時間に、フローティングゲートが基本的初期状態の場合に入力した制御信号端子ctl[1]～ctl[3]の電位、すなわち、図12における制御信号端子ctl[1]～ctl[3]の電位の反転電位を制御信号端子に入力し、フローティングゲートの初期化を行う。実際の信号処理時には、各制御信号端子はプラインバータのフローティングゲート側入力端子から遮断されており、フローティングゲート側入力端子は電源と接続されている。図12と比較して、全く同じ論理が実現されていることから、制御信号端子に入力される関数機能構成データが本発明の方法により保持されていることが判る。

【0054】

以上述べたように、本実施の形態1においては、ニューロンMOSトランジスタの2段接続を用いた論理構成による、関数機能構成データ保持方法とその方法を使用した回路構成について示した。本方法は、2段論理のみならず、ニューロンMOSトランジスタを多段に接続した回路構成においても同様の方法で関数機能構成データを保持することは容易に類推出来る。

【0055】

(実施の形態2)

図14は、プラインバータ及びメインインバータのフローティングゲートの論理的な値が初期化時において図11に表される集積回路の場合の反転である集積回路の例を示している。この集積回路の場合、第1のベクトルの要素が論理的に0、すなわち、電氣的にグランド電位であり、第2のベクトルの要素が論理的に1、すなわち電氣的に電源電位である。Cell type Cは図14の制御信号端子ctl[1]、ctl[2]、ctl[3]に接続されているトランSMISSIONゲートおよびこのトランSMISSIONゲートとグランドを接続するNMOSFET141を含まない集積回路であり、Cell type Dは両者を含み、定常状態において関数機能構成データ保持機能を持つ集積回路である。Cell type Cでは全てのニューロンMOSインバータの入力端子input[1]、input[2]の電位を電源電位に固定し、フローティングゲートの初期化を行う。ここでは、この時の状態を基本的初期状態とする。図15にCell type Cの場合の回路シミュレーションの結果である電位波形図を示す。横軸は時間を、縦軸は各端子の電位を表す。制御信号端子の電位を変

化させることで所望の論理が実現されている。

【 0 0 5 6 】

次に、Cell type Dを用いて、Cell type Cの場合において論理処理を実行中に制御信号端子に入力し続けなければならない電位の論理的に反転である電位をプラインバータのフローティングゲート初期化時に入力した、すなわち、第3のベクトルの要素として、基本的初期状態において保持したい関数機能構成データベクトルの反転ベクトルを用いる場合の回路シミュレーション結果の各端子の電位波形を図16示す。本方法により、関数機能構成データが保持され、Cell type Cの場合と同じ論理を実現していることが判る。図16では同じ論理処理をしている時間は制御信号端子ctl[1]、ctl[2]、ctl[3]の電位を全て電源電位に固定していた。図14の回路図から判るように、これら制御信号端子はトランスミッションゲートにより遮断されているために、論理処理をしている時間は如何なる電位でも良い。この例として、Cell type Dの回路を用い、ある論理処理をしている時間は制御信号端子ctl[1]、ctl[2]、ctl[3]の電位をグランド電位にし、回路シミュレーションした結果を図17に示す。ここで図17は制御信号端子ctl[1]～ctl[3]の電位を初期化時以外ではグランド電位に固定した場合である。図17のoutput端子電位と図16のoutput端子電位は同じ波形であることが判る。この結果より、実施の形態1で示したニューロンMOSインバータのフローティングゲートの初期化の際に、第1の電位ベクトルの要素として論理的に1、第2の電位ベクトルの要素として論理的に0、第3の電位ベクトルの要素として基本的初期状態における論理構成データの論理的反転を用いる方法のみならず、本実施の形態2で示した通り、第1の電位ベクトルの要素として論理的に0、第2のベクトルの要素として論理的に1を用いることも可能である。

【 0 0 5 7 】

(実施の形態3)

図18はメインインバータのフローティングゲート端子fgmの初期化のための電位とプラインバータのフローティングゲート端子fgpの初期化のための電位が異なる場合の回路構成例を示した図である。ここで図はメインインバータのフローティングゲートの初期化電位とプラインバータのフローティングゲートの初期

化電位が異なる場合である。図 1 1 とは異なり、メインインバータのフローティングゲート端子初期化の際にこのメインインバータの入力端子の電位を制御するためのトランスマッションゲートと NMOS FET を含むメインインバータ初期化用回路 1 8 1 とがプリインバータ出力ではなく入力信号端子に付加される。これは、プリインバータのフローティングゲート端子の初期化の際の電位とメインインバータのフローティングゲート端子の初期化の際の電位が論理的に反転の関係にある電位であるために、初期化時にプリインバータ出力とメインインバータのフローティングゲート端子の電位の論理的値が一致するため、プリインバータの出力がそのままメインインバータのフローティングゲート端子の初期化に使用できるためであり、一方、入力信号端子 input [1]、input [2] の電位として、図 1 1 の回路と同じ電位を使用すると初期化時のメインインバータのフローティングゲート電位とは論理的に反転の電位であるために、初期化用の付加回路が必要となった。この付加回路としては、図 1 8 中に示したように NMOS タイプの他に PMOS タイプの回路も同様の機能を果たすことは容易に類推できる。図 1 1、図 1 4 で示した回路例と同様に、制御信号端子の後段にトランスマッションゲート及び PMOS FET を有する構造を持つ回路を Cell type F とし、この構造を持たない回路を Cell type E とした。Cell type E に対する回路シミュレーション結果を図 1 9 に示す。図 1 9 において横軸は時間、縦軸は各端子の電位を表しており、また関数機能を再構成する際にフローティングゲート端子の初期化を行っている。初期化時にメインインバータのフローティングゲート端子 fgm は電位が high level であり、プリインバータのフローティングゲート端子 fgp は電位が low level であることが判る。また、Cell type E では関数機能構成データを常に入力し続ける必要がある。一方、図 2 0 に示される Cell type F の回路シミュレーション結果では、図 1 9 で示した Cell type E の関数機能構成データの論理的反転をフローティングゲート初期化の際に一時的に入力することで、同じ論理が構成されていることが判る。

【 0 0 5 8 】

以上、メインインバータのフローティングゲート端子とプリインバータのフローティングゲート端子の初期化の際に論理的に同じである電位を用いるばかりで

なく、異なる電位を用いた回路構成でも本方法の関数機能構成データ保持方法は有効である。また、本実施の形態とは論理的に反転の電位をメインインバータのフローティングゲート端子及びプラインバータのフローティング端子の双方に与える、すなわち、メインインバータのフローティング端子を論理的に 0 の電位、プラインバータのフローティング端子を論理的に 1 の電位で初期化する方法でも同様の機能を果たす回路を構成可能であることは容易に類推できる。

【 0 0 5 9 】

(実施の形態 4)

図 2 1 はニューロン MOS インバータの入力端子中、制御信号端子 $ctl[1]$ 、 $ctl[2]$ 、 $ctl[3]$ のみならず、入力信号端子 $input[1]$ 、 $input[2]$ の電位もこのニューロン MOS インバータのフローティングゲートの初期化を行う際に対象となる関数機能構成データとして見做す場合の回路構成例を示す図である。ここで図はメインインバータのフローティングゲートの初期化電位とプラインバータのフローティングゲート 2 1 2 の初期化電位が異なり、かつ入力信号端子の電位も初期化時の関数機能構成データの対象とした場合である。実施の形態 1 の図 1 1 の回路と異なる点は、メインインバータ 2 1 0 のフローティングゲート端子 f_{gm} を電源と接続および遮断することが可能なように PMOS FET 2 1 3 を介して電源と接続されていること、および各プラインバータの出力端子の後段に図 1 1 の回路では使用しているメインインバータのフローティングゲート f_{gm} 初期化のためのトランSMミッションゲート 1 1 1 と NMOS FET 1 1 2 を用いていないことである。プラインバータ出力端子後段の回路を使用しない理由については実施の形態 3 で説明した理由と同様である。図 2 1 に示す回路の動作原理について説明する。メインインバータのフローティングゲート f_{gm} の電位を電源電位で初期化する際に、各プラインバータのフローティングゲート端子 f_{gp} の電位をグランド電位に固定する。このプラインバータのフローティングゲート端子 f_{gp} がグランド電位である時、プラインバータの出力は電源電位になる。同時に、入力信号端子 $input[1]$ 、 $input[2]$ に上記の f_{gm} の初期化の間、電源電位を入力する。これにより、メインインバータの全ての入力端子、すなわちゲート電極が電源電位の状態で上記の f_{gm} の初期化ができる。メインインバータのフローティングゲート f_{gm} が

電源電位と見做せる電位になった時、このfgmを電源から遮断し、フローティングゲートをフローティングにする。メインインバータのフローティングゲートfgm初期化終了後、各ブリインバータのフローティングゲート端子の初期化を図11に示す回路と同様の方法で行う。この時、入力信号端子の電位としてはグランド電位が用いられる。

【0060】

次にメインインバータのフローティングゲートfgmの初期化について、メインインバータの入力端子電位を電源電位で規格化した規格化電位を要素とするベクトル表記を用いて説明する。メインインバータのフローティングゲートは1つであるが、メインインバータの入力端子数と一致する要素の数を有するベクトルに拡張し、全ての要素が拡張前の要素と同じ値を持つようにした。従って、上記のfgmの初期化時のベクトル表記Vfgmは下記(数10)式の通りであり、これは実施の形態1の第2のベクトルに相当する。但し、Eは単位ベクトルを表す。

【0061】

【数10】

$$V_{fgm} = \begin{pmatrix} V_{fgm}[1] \\ V_{fgm}[2] \\ V_{fgm}[3] \\ V_{fgm}[4] \\ V_{fgm}[5] \end{pmatrix} = \begin{pmatrix} 1 \\ 1 \\ 1 \\ 1 \\ 1 \end{pmatrix} = E \quad (\text{数10})$$

【0062】

次に、初期化時のメインインバータの入力端子電位のベクトル表現Vinitを(数11)に示す。ここでは、図21に示した通り、入力信号端子input[1]、input[2]の端子の電位をメインインバータの入力に反映する端子を各々mininput[1]、mininput[2]とし、各々の規格化電位をVmininput[1]、Vmininput[2]、各ブリインバータpreinv[1]、preinv[2]、preinv[3]の出力電位をメインインバータの入力に反映する端子を各々mpreinv[1]、mpreinv[2]、mpreinv[3]とし、各々の規格化電位をVmpreinv[1]、Vmpreinv[2]、Vmpreinv[3]とした。このベクトルは実施の形態

1 の第 3 のベクトルに相当する。

【 0 0 6 3 】

【 数 1 1 】

$$V_{init} = \begin{pmatrix} V_{minput[1]} \\ V_{minput[2]} \\ V_{mpreinv[1]} \\ V_{mpreinv[2]} \\ V_{mpreinv[3]} \end{pmatrix} = \begin{pmatrix} 1 \\ 1 \\ 1 \\ 1 \\ 1 \end{pmatrix} = E \quad (\text{数 1 1})$$

【 0 0 6 4 】

メインインバータが論理処理を行う際に、メインインバータのフローティングゲートからみた入力端子の規格化電位を V_{rel} 、この入力端子の実規格化電位を V_{in} と表すと下記の (数 1 2) 式が成り立つ。 V_{in} は実施の形態 1 の第 1 のベクトルに相当する。

$$V_{rel} = V_{in} + V_{fgm} - V_{init} = V_{in} + E - E$$

$$= V_{in}$$

(数 1 2)

(数 1 2) 式より、本メインインバータの初期化方法では、論理処理を行っている間のメインインバータの入力端子のフローティングゲート端子に対する規格化電位は実際に入力端子に印加されている規格化電位と等しいため、図 1 1 の回路と全く同じ入力端子電位を用いて同じ論理処理を行うことが可能であることが判る。このように初期化の際の電位の組合せにより、異なった回路であっても全く同じ論理を実現することが可能になる。

【 0 0 6 5 】

更に、各プラインバータに論理を構成するデータを常に入力し続ける必要のある回路構成である Cell type G とプラインバータのフローティングゲートの初期化により関数機能構成データを保持することが可能な回路構成である Cell type

H についての回路シミュレーション結果を各々図 2 2 と図 2 3 に示す。図 2 2 及び図 2 3 において、入力信号端子 input [1]、input [2] に対して、関数機能再構

成時、即ちフローティングゲート端子の初期化時において、関数機能構成データである論理的に1が入力されていることが判る。また、図22及び図23の制御信号端子電位と出力端子outputの電位から、本方法の関数機能構成データ保持方法により、論理処理時に関数機能構成データが保持されていることも判る。以上説明したように、制御信号端子電位のみならず入力信号端子の電位もニューロンMOSインバータのフローティングゲート端子の初期化の際の関数機能構成データの対象とすることで、回路の簡略化が可能になり、異なる回路構成で同じ論理を構成することが可能である。逆に、同じ回路構成であり、同じ入力信号を用いた場合であっても初期化の際に用いる電位が異なれば、異なる論理や関数を実現可能であることは容易に類推できる。

【0066】

（実施の形態5）

図24は、1つ以上のニューロンMOSトランジスタにより構成される或る関数処理を行う基本単位（以降、関数セルと呼ぶ）を1つ以上有する回路においてニューロンMOSトランジスタのフローティングゲート端子の初期化を行う手続きを説明するための図である。ここでは、関数セルとして実施の形態1で説明した図11の回路を用いた。図11、図14、図18及び図21に示した回路においては3つのプラインバータのフローティングゲート端子の初期化を同時に行っていた。しかしながら、この初期化は必ずしも同時である必要はなく、個々を独立して初期化することも可能である。図24においては3つの関数セルが並ぶ場合で、メインインバータ及びプラインバータをAブロック、Bブロック、Cブロック、Dブロック及びEブロックの5つのブロックに分割し、各ブロック内のニューロンMOSトランジスタの初期化を同時に行う。このブロック分割は関数セルを有するシステムの要請に応じて任意に行うことが可能である。関数セル内のニューロンMOSトランジスタの初期化を独立して行うことが可能になるため、関数を構成する関数機能構成データの多様な入力方法を用いることが可能になり、一方、関数セルを有するシステムとしては、初期化のための制御回路を簡単化できる可能性があり、制御の容易性と回路の小型化に貢献することができる。

【 0 0 6 7 】

(実施の形態 6)

図 2 5 は 2 段接続のニューロン M O S インバータにより構成された 2 入力信号を処理する回路であり、図 2 1 の回路より制御信号端子 $ctl[1] \sim ctl[3]$ を削除し、代わりに電源またはグランドに端子を接続するスイッチを各端子に接続した構成の回路を表す図である。ここで図は制御信号端子を除去し、制御信号と等価の信号をプリインバータの初期化時に入力した場合である。図 2 5 に示す回路において、3 つのプリインバータを各々 $preinv[1]$ 、 $preinv[2]$ 、 $preinv[3]$ とし、 $preinv[1]$ のフローティングゲート端子 $fgp[1]$ は N M O S トランジスタ $nmosp[1]$ によりグランドに接続されており、プリインバータ $preinv[2]$ のフローティングゲート端子 $fgp[2]$ は N M O S トランジスタ $nmosp[2]$ によりグランドに接続されており、プリインバータ $preinv[3]$ のフローティングゲート端子 $fgp[3]$ は N M O S トランジスタ $nomsp[3]$ によりグランドに接続されている。また、図 2 1 において、 $preinv[1]$ 、 $preinv[2]$ 、 $preinv[3]$ の制御信号端子であった端子は図 2 5 に示す回路では各々 $switch[1]$ 、 $switch[2]$ 、 $switch[3]$ により電源及びグランドに接続されている。この回路において、メインインバータのフローティングゲート端子 fgm 、 $fgp[1]$ 、 $fgp[2]$ 、 $fgp[3]$ を各々第 0 の時刻 t_0 、第 1 の時刻 t_1 、第 2 の時刻 t_2 、第 3 の時刻 t_3 に初期化する。但し、 t_0 、 t_1 、 t_2 、 t_3 は異なる時刻であり、本実施の形態では、 $t_0 < t_1 < t_2 < t_3$ とした。 t_0 では、入力信号端子 $input[1]$ 、 $input[2]$ は共に電源電位であり、 $fgp[1]$ 、 $fgp[2]$ 、 $fgp[3]$ は各々 $nmosp[1]$ 、 $nmosp[2]$ 、 $nmosp[3]$ によりグランドに接続されている。図 2 1 の Cell type H の回路における $ctl[1]$ 、 $ctl[2]$ 、 $ctl[3]$ から初期化時に入力されていた制御信号電位を、図 2 5 の回路では入力信号端子 $input[1]$ より時間軸上に展開して初期化する。なお、図 2 6 は図 2 5 におけるプリインバータの制御用の $switch[1] \sim switch[3]$ の代わりに全プリインバータの制御信号入力端子を共通とし、プリインバータのフローティングゲート $fgp[1] \sim fgp[3]$ 初期化用 N M O S F E T である $nmosp[1] \sim nmosp[3]$ 制御用信号の中で最も早い時刻に導通状態になる N M O S F E T の制御信号と同時刻に電源電位になり、最も遅い時刻に遮断状態になる N M O S F E T の制御信号と同時刻にグランド電位となる信号を $swsignal$ 端子に印加してプリイン

バータpreinv[1]～preinv[3]の初期化を行う構成を示したものである。

【 0 0 6 8 】

以下、プリインバータのフローティングゲートの初期化について具体的に説明する。時刻t1まではNMOSFETであるnmosp[1]、nmosp[2]、nmosp[3]は導通しており、switch[1]、switch[2]、switch[3]はグランドに接続されている。時刻t1では、input[1]から図21のCell type H回路のpreinv[1]の初期化の際に加えられている制御信号電位と等価である電位が印加されている。この状態でnmosp[1]は遮断され、switch[1]はグランドとの接続が遮断され電源に接続される。この手続きによりfgp[1]の初期化が完了する。次に、時刻t1から時刻t2までは、nmosp[2]、nmosp[3]が導通しており、switch[2]、switch[3]はグランドに接続されている。時刻t2ではinput[2]からpreinv[1]の初期化の時と同様に所定の電位が印加されている。この状態でnmosp[2]は遮断され、switch[2]はグランドとの接続が遮断され電源に接続される。時刻t3においてはpreinv[3]について同様の手続きを行う。

【 0 0 6 9 】

この回路動作を回路シミュレーションにより確認した。その結果を図27に示す。関数機能の再構成を行う初期化時間中に入力信号端子input[1]に印加される電位の波形パターンにより図21のCell type H回路の回路シミュレーション結果である図23と同様の結果が得られていることが判る。本回路シミュレーションにおいては、論理を生成するための信号をinput[1]の端子に時分割して入力したが、入力信号端子input[2]に論理を生成するための信号を時分割して入力することも可能であるし、これら両入力信号端子input[1]、input[2]の両方に分散させ、さらに時分割を行い、フローティングゲート初期化時間と入力端子という時空間に分散させて入力することも可能である。以上説明したように、プリインバータのフローティングゲートの初期化を各々のプリインバータにおいて独立で行うことにより、関数を構成するデータを入力信号端子より時間軸上に展開し、入力することが可能である。図25に示したような回路を複数接続した集積回路においては、制御信号端子を削減し集積回路の小面積化が可能になる。更に本実施の形態と実施の形態4におけるニューロンMOSトランジスタのフローティン

グゲートの初期化時に関数又は論理を生成する際に用いる信号の挙動について一般化すると、この信号はフローティングゲートの初期化時間という「時」及びニューロンMOSトランジスタの複数の入力端子という「空間」で構成される時空間上に展開可能であると言える。図28は関数又は論理を生成する信号が時空間上に展開される概念を示す図である。関数又は論理を生成する際に正整数 n の信号が必要な場合、初期化時間内に最大 n 入力端子と n 分割された時間を準備する。信号の展開方法によっては n 信号端子と n 分割された時間は必ずしも必要ではなく、いずれか一方又はどちらかが n 以下であっても良い。図28(a)は実施の形態4の場合に相当する。すなわち、図21の3つのプリインバータのフローティングゲートを同時に初期化する方法である。図28(b)は実施の形態6の場合に相当する。すなわち、図25において論理生成のための信号をinput[1]に入力する方法である。図28(c)は論理を生成する信号を時空間上に分散させる方法である。このように多様な方法で関数または論理を生成する信号を入力可能であることは制御を行う際にその柔軟性を向上させる。

【0070】

(実施の形態7)

図29はニューロンMOSトランジスタのフローティングゲートの初期化の際に2値のみならず連続的な値として電位を保持できることを示すための図であり、図29(a)は、3入力端子を持ち、フローティングゲート端子fltがNMOSFETのゲート電極ckに印加された信号により導通状態とすることでグラウンドに接続されているニューロンMOSインバータの回路図である。3つの入力端子はinput[1]、input[2]、input[3]であり、各々容量 C_1 、 C_2 、 C_3 により各プリインバータのフローティングゲート端子fltと接続されており、このfltはNMOSFETに接続しており、このNMOSFETのゲート電極をckとし、ニューロンMOSインバータの出力端子をpreout、出力バッファの出力端子をoutputとした。図29(b)は図29(a)のニューロンMOSインバータを構成するp型ニューロンMOSトランジスタとn型ニューロンMOSトランジスタの容量成分および、各プリインバータのフローティングゲート端子fltをグラウンドに接続しているNMOSFETの容量成分とこのNMOSFETの導通、遮断をスイッ

チで表した回路図である。ここでNMOSFETの電流源等価回路はスイッチで表現した。このp型ニューロンMOSトランジスタのゲートオーバーラップ容量を C_{p1} 、 C_{p3} 、fltとチャネルが形成される領域の間にできるイントリンジック容量を C_{p2} とし、同様にこのn型ニューロンMOSトランジスタのゲートオーバーラップ容量を C_{n1} 、 C_{n3} 、とし、fltとチャネルが形成される領域の間にできるイントリンジック容量を C_{n2} とした。また、fltとグランドを接続するNMOSFETのドレインと基板（又はウェル）の間の容量を C_{nj} 、ゲートオーバーラップ容量を C_{nc} 、とした。 $input[1]$ 、 $input[2]$ 、 $input[3]$ の各々の電位を V_1 、 V_2 、 V_3 とし、fltの電位を V_{flt} 、電源電位を V_{dd} 、グランド電位を V_{ss} 、preoutの電位を V_{pre} 、ゲート電極ckの電位を V_{ck} とした場合、fltの電荷量 Q_{flt} は以下の（数13）式で表される。

【0071】

【数13】

$$\begin{aligned}
 Q_{flt} = & \sum_{i=1}^3 C_i (V_{flt} - V_i) + (C_{p2} + C_{p3}) (V_{flt} - V_{dd}) \\
 & + (C_{n2} + C_{n3}) (V_{flt} - V_{ss}) \\
 & + (C_{n1} + C_{p1}) (V_{flt} - V_{pre}) \\
 & + C_{nc} (V_{flt} - V_{ck}) \\
 & + C_{nj} (V_{flt} - V_{ss}) \quad (\text{数13})
 \end{aligned}$$

【0072】

ここで、グランド電位 V_{ss} を $V_{ss} = 0$ と定義し、このNMOSFETを導通状態、すなわち $V_{ck} = V_{dd}$ にし、 $V_{flt} = V_{ss} = 0$ とし、fltをグランド電位で初期化した場合、fltに蓄積される電荷量を求める。初期化の際にはこのp型ニューロンMOSトランジスタが導通し、 $V_{pre} = V_{dd}$ となり、初期化時の入力端子 $input[1]$ 、 $input[2]$ 、 $input[3]$ の電位を各々 $V(init)_1$ 、 $V(init)_2$ 、 $V(init)_3$ とした場合、初期化時にfltに蓄積される電荷量 $Q(init)_{flt}$ は以下の（数14）式で求められる。

【 0 0 7 3 】

【 数 1 4 】

$$Q(init)_{flt} = - \left[\sum_{i=1}^3 C_i \cdot V(init)_i + (C_{p1} + C_{p2} + C_{p3} + C_{n1} + C_{nc}) \cdot V_{dd} \right] \quad (\text{数 1 4})$$

【 0 0 7 4 】

ここでNMOSFETを遮断して、fltをフローティングの状態にした場合、初期化時に蓄積された電荷量をfltに接続されている各容量に分割することでfltの電位が決まる。ニューロンMOSインバータの入力端子の各電位を V_i で表すと、以下の(数15)、(数16)、(数17)の各式が成り立つ。但し、 $V_{ss}=0$ 、 $V_{ck}=0$ である。

【 0 0 7 5 】

【 数 1 5 】

$$Q(init)_{flt} = \sum_{i=1}^3 C_i (V_{flt} - V_i) + (C_{p2} + C_{p3}) (V_{flt} - V_{dd}) + (C_{n1} + C_{p1}) (V_{flt} - V_{pre}) + C_{nc} \cdot V_{flt} \quad (\text{数 1 5})$$

$$V_{flt} = \frac{1}{C_{total}} \left[\sum_{i=1}^3 C_i (V_i - V(init)_i) + (C_{p1} + C_{n1}) (V_{pre} - V_{dd}) - C_{nc} \cdot V_{dd} \right] \quad (\text{数 1 6})$$

$$C_{total} = \sum_{i=1}^3 C_i + (C_{p1} + C_{p2} + C_{p3}) + C_{n1} + C_{nc} \quad (\text{数 1 7})$$

【 0 0 7 6 】

ニューロンMOSインバータの論理が反転するか否かは(数16)式で表される V_{flt} がニューロンMOSインバータの閾値を越えるか否かで決まり、 V_{flt} を制御している物理量はニューロンMOSインバータの入力端子の容量値と初期化時のflt電位に対するフローティング時のfltの電位の電位差の積和である。すなわち、ニューロンMOSインバータを制御する基本的物理量は電荷量である。従って、各入力端子の容量値を変化させる場合と電位差を変化させる場合はニューロンMOSインバータの制御に関しては同じ作用を持つことになる。また、使用する電位は2値のみならず、如何なる電位であっても適用可能であることが(数16)式から判る。また、 C_i の和が C_{p1} 、 C_{n1} 、 C_{nc} に比べて非常に大きい場合は V_{flt} は下記の(数18)式となる。

【 0 0 7 7 】

【数 1 8】

$$V_{flt} = \frac{1}{C_{total}} \sum_{i=1}^3 C_i (V_i - V(init)_i) = \frac{1}{C_{total}} \{Q_{flt} - Q(init)_{flt}\} \quad (\text{数 } 18)$$

$$\sum_{i=1}^3 C_i \gg C_{p1}, C_{n1}, C_{nc}$$

【0 0 7 8】

次に、電位として連続的な値を保持することが可能であることを回路シミュレーションにより確認した例を図30及び図31に示す。図29(a)で示したニューロンMOSインバータの各入力端子の容量 C_1 、 C_2 、 C_3 の容量値が等しく、(数18)式の条件および $C \gg C_{p2}$ 、 C_{p3} を成り立たせる容量値 C であり、閾値が電源電位(V_{dd})の $1/2$ 近傍であるニューロンMOSインバータを持つ図29(a)に示す回路をシミュレーション対象にした。図30に示す回路のシミュレーション結果は、初期化時間(図中、initialization time)にckの電位を電源電位にしfltとグランドを接続するNMOSFETを導通させ、input[1]の電位を V_{dd} に固定し、input[2]、input[3]をグランド電位に固定し、初期化の後、input[1]を電源電位に保ち、次にinput[2]の電位を電源電位にし、更にinput[3]の電位を電源電位にし、出力ckの電位が電源電位に近づく様子を見ることが出来る。図31は、図30の回路の出力ckの電位を電源電位に近づける様子を見ることが出来る。図30及び図31のシミュレーション結果は、図29(a)の回路の出力ckの電位が電源電位に近づく様子を見ることが出来る。

t[3]の電位を電源電位にすることで得られた。この場合、初期化時の電荷量 $Q(\text{init})_{\text{flt}}$ は $Q(\text{init})_{\text{flt}} = C \cdot V_{\text{dd}}$ であり、全ての入力端子の電位が V_{dd} に達した時刻の電荷量 Q_{flt} は $Q_{\text{flt}} = 3C \cdot V_{\text{dd}}$ であり、 V_{flt} は下記の(数19)式で表される。

【0079】

【数19】

$$V_{\text{flt}} = \frac{2}{3} \cdot V_{\text{dd}} + \frac{V_{\text{dd}}}{2} \quad (\text{数19})$$

【0080】

図30から全ての入力端子が電源電位になった後にoutput端子電位が反転することが判り、flt端子電位から各時刻において初期化時の電荷量に対する各時刻の電荷量の差分から生ずる電位分だけ V_{flt} が上昇するのも確認できる。一方、図31は、図30でシミュレーションした回路と同じ回路で初期化時に、入力信号端子input[1]の電位に $(5/8) \cdot V_{\text{dd}}$ 、input[2]端子電位に $(1/4) \cdot V_{\text{dd}}$ 、input[3]端子電位に $(1/8) \cdot V_{\text{dd}}$ を与えてfltの初期化を行った場合の回路シミュレーション結果を示す図である。

初期化時の電荷量は次式で表される。

【0081】

【数20】

$$Q(\text{init})_{\text{flt}} = C \cdot \left(\frac{5}{8} + \frac{1}{4} + \frac{1}{8} \right) \cdot V_{\text{dd}} = C \cdot V_{\text{dd}} \quad (\text{数20})$$

【0082】

図30のシミュレーション結果と同様に全ての入力端子の電位が電源電位に達した時刻の後にoutput端子の電位が反転する。また、この時のfltの電位は下記の(数21)式になり、図30のシミュレーション結果と一致することを確認でき

る。

【0083】

【数21】

$$V_{ft} = \frac{2}{3}V_{dd} > \frac{V_{dd}}{2} \quad (\text{数21})$$

【0084】

このことより、入力端子の電位を連続的な値として保持することが可能であることが判る。

【0085】

(実施の形態8)

図32は、図11と類似の回路構成であり、ニューロンMOSトランジスタの入力端子とフローティングゲート間の容量値を図11の回路のものとは異なる値に変更したニューロンMOSトランジスタを有する回路に、多値または連続値を保持することにより2値2入力変数の全ブール関数を簡単に生成可能であることを示すための回路図である。回路の動作原理は図11のCell type Bと同様である。関数機能を構成するための制御信号を制御信号端子より一時的に入力し、フローティングゲートを所定の手続きで操作した後、制御信号端子の接続を電源に切り換え、ニューロンMOSトランジスタに制御信号値を保持させる。制御信号として多値または連続的な値を用いる点が図11に示した回路の場合と異なる点の1つである。

【0086】

関数機能を構成するための信号として利用する多値電位または、連続的電位の供給方法としては、関数機能を構成可能である本集積回路の外部で生成された多電源の電位を多値電位として直接供給する方法、本集積回路の外部のアナログ回路により生成されたアナログ電位を直接供給する方法および、本集積回路の外部から与えられた電位を集積回路内部に設けられたインピーダンス回路網を用いて多値電位又は連続的電位を生成し、供給する方法などがある。

【 0 0 8 7 】

次にインピーダンス回路網について図 3 3 と図 3 4 を用いて説明する。

図 3 3 は、本集積回路の外部から供給された、又は内部で生成された 1 つの設定電位 1 である V_1 と他の設定電位電位 2 である V_2 を用いて多値電位を生成し、ニューロン MOS インバータの入力端子の一つである ctl 端子に供給する回路の構成図である。設定電位 1 を有する端子 A と設定電位 2 を有する端子 B を k 個の抵抗素子 $R[1]$ 、 $R[2]$ 、 $R[3]$ 、 $\dots R[k-1]$ 、 $R[k]$ で接続し、各抵抗素子の間の端子とニューロン MOS インバータの入力端子の 1 つである ctl 端子の間をスイッチ $sw[1]$ 、 $sw[2]$ 、 $sw[3]$ 、 $sw[4]$ 、 $\dots sw[k-1]$ 、 $sw[k]$ 、 $sw[k+1]$ で接続した回路構成を表す図である。但し、 $V_1 \neq V_2$ が成り立つとする。 $k+1$ 個のスイッチの中の $sw[1]$ と $sw[k+1]$ を除く $k-1$ 個の中から 1 つのスイッチ $sw[h]$ を選択し導通状態にする。但し、 $2 \leq h \leq k$ である。 $sw[1]$ のみが導通状態の場合は、 ctl 端子は V_1 電位であり、 $sw[k+1]$ のみが導通状態に場合は、 ctl 端子は V_2 電位である。この操作は、 ctl 端子に (数 2 2) 式で表される電位 V_{ctl} を与える。

【 0 0 8 8 】

【数 2 2】

$$V_{ctl} = \frac{1}{\sum_{i=1}^k R[i]} \left(V_1 \sum_{h=1}^k R[h] + V_2 \sum_{h=1}^{h-1} R[h] \right) \quad (\text{数 2 2})$$

【 0 0 8 9 】

この (数 2 2) 式は、設定電位 1 と設定電位 2 が集積回路で用いられる 2 つの異なる電位、すなわち 2 値電位であるとき、多値電位が生成可能であることを示している。

図 3 3 中では、抵抗素子を定数抵抗を有する抵抗素子で記載したが、MOS トランジスタを抵抗として使用する場合のように、可変抵抗を有する素子であっても同様に多値電位を供給出来る。また、スイッチは電氣的スイッチであるトランスマッションゲート又はパストランジスタなどで置き換えることが出来、これら

のスイッチをマルチプレクサ回路で置き換えることも出来る。

【0090】

図34は、本集積回路の外部から供給された、または内部で生成された1つの設定電位1である V_1 と他の設定電位2である V_2 を用いて多値電位を生成し、ニューロンMOSインバータの入力端子の一つであるctl端子に供給する回路の構成図である。但し、 $V_1 > V_2$ が成り立つとしている。設定電位1を有する端子Aと設定電位2を有する端子Bの間に各々異なる容量値 $C[1]$ 、 $C[2]$ 、 \dots 、 $C[k-1]$ 、 $C[k]$ を有する k 個の容量を持ち、各々の容量は1つのスイッチを持ち、一方の端子は端子Bに接続され、他方の端子は各々スイッチ $sw[1]$ 、 $sw[2]$ 、 $sw[3]$ 、 $sw[4]$ 、 \dots 、 $sw[k-1]$ 、 $sw[k]$ を介してスイッチ swa の一方の端子に接続され、スイッチ swa は端子AまたはニューロンMOSインバータの入力端子の1つであるctl端子に接続される。まず、スイッチ swa を端子Aに接続し、スイッチ $sw[1]$ 、 $sw[2]$ 、 $sw[3]$ 、 $sw[4]$ 、 \dots 、 $sw[k-1]$ 、 $sw[k]$ を導通状態にする。全ての容量が充電された後、スイッチ swa を端子Aから遮断し、スイッチ $sw[1]$ 、 $sw[2]$ 、 $sw[3]$ 、 $sw[4]$ 、 \dots 、 $sw[k-1]$ 、 $sw[k]$ も遮断する。今、スイッチ $sw[1]$ 、 $sw[2]$ 、 $sw[3]$ 、 $sw[4]$ 、 \dots 、 $sw[k-1]$ 、 $sw[k]$ の中から $sw[h]$ のみを導通させ、スイッチ swa をニューロンMOSインバータの入力端子であるctl端子に接続する。ctl端子とニューロンMOSインバータのフローティングゲート間の容量値を C_{ctl} とし、スイッチ swa がctl端子に接続される前はこの容量に電荷は蓄積されていないとする。前記操作はctl端子に(数23)式の電位 V_{ctl} を与える。

【0091】

【数23】

$$V_{ctl} = \frac{C[h]}{C[h] + C_{ctl}} V_1 \quad (\text{数23})$$

【 0 0 9 2 】

上記の(数 2 3) 式は、設定電位 1 と設定電位 2 が集積回路で用いられる 2 つの異なる電位、すなわち 2 値電位であるとき、 k 個の容量の容量値を変えることで多値電位が生成可能であることを示している。また、各々の容量はそれ自体が更に容量の直並列接続により構成される容量回路網である場合も同様に多値電位を供給できる。また、スイッチは電氣的スイッチであるトランスマッションゲートまたはパストランジスタ等で置き換えることが出来る。

【 0 0 9 3 】

ト又はパストランジスタで置き換えることが出来る。

【 0 0 9 4 】

次に、具体的に図 3 2 の回路に多値電位を保持し、関数を生成した回路シミュレーション結果を図 3 5 および図 3 6 に示す。図 3 5 は対称関数の例であり、図 3 6 は図 3 5 で対称関数を生成したのと同じ回路により保持する制御信号値のみを変え、非対称関数を生成した例である。図 3 5 及び図 3 6 において、横軸は μ sec の単位で時間を、縦軸は各端子の電位を表している。図 3 6 の図の上には各関数を 8 つの区分で切り替えている。各々の区分の意味は下記表 1 の通りである。但し、意味はブール式で表現しており、input [1] の値を X_1 、input [2] の値を X_2 とし、 X'_1 、 X'_2 はそれぞれ X_1 、 X_2 の論理的反転を示す。

【 0 0 9 5 】

【表 1】

表 1

区分	I	II	III	IV	V	VI	VII	VIII
論理式	$X'_1 \cdot X_2$	$X_1 \cdot X'_2$	X'_1	X_1	X'_2	X_2	$X_1 + X'_2$	$X'_1 + X_2$

【 0 0 9 6 】

本実施の形態で示したように、一時的に供給される多値または連続的な値をニューロン MOS トランジスタ自身に保持することで、同じ規模の回路において生成可能な関数が増加し集積回路の機能向上を容易に行うことが可能になる。

【 0 0 9 7 】

(実施の形態 9)

図 3 7 は、メインインバータのフローティングゲート及びプラインバータのフローティングゲートを初期化する際に、制御信号端子からだけでなく、入力信号端子及び制御信号端子より多値又は連続的な値を入力し保持することにより、2 値 2 入力変数の全ての論理関数を生成可能なニューロン MOS 回路の構成を示す図である。図 3 2 に示した回路と同じ機能を有するが、少ない数のプラインバータで回路を構成することが可能であるため、プラインバータ及びこのプラインバータに付随する回路を削減することが可能になる。図 3 7 に示した回路の操作手続きは図 1 1 に示した Cell type B の回路の場合と次の点を除き同じであるが、その手続きの中で、メインインバータのフローティングゲートを初期化する際に、入力信号端子 input [1]、input [2] から所定の多値電位を入力すること、及び、プラインバータのフローティングゲートを初期化する際に、制御信号端子 ctl [1]、ctl [2] から多値電位を入力する点が異なっている。図 3 7 の回路で 2 値 2 入力変数の全ての論理関数を生成可能であることを回路シミュレーションにより確認した。回路シミュレーション結果である各端子の電位波形図を図 3 8、図 3 9 に示す。図 3 8 および図 3 9 の横軸は $\mu s e c$ 単位で時間を、縦軸は各端子の電位を表している。図 3 8 は論理名が名付けられている対称関数を生成し、論理名と共に示し、図 3 9 は非対称関数を 8 つの区分に分けて生成している。図 3 9 における各々の区分の意味は下記表 2 の通りである。但し、意味はブール式で表現しており、input [1] の値を X_1 、input [2] の値を X_2 とした。又、「'」を付した変数は表 1 の場合と同様で X_1 、 X_2 の論理的反転を示す。

【 0 0 9 8 】

【表 2】

表 2

区分	I	II	III	IV	V	VI	VII	VIII
論理式	$X_1' + X_2$	$X_1 + X_2'$	X_2	X_2'	X_1	X_1'	$X_1 \cdot X_2'$	$X_1' \cdot X_2$

【 0 0 9 9 】

本実施の形態においては、初期化の際に保持した多値又は連続的な値により、入力信号の 2 値を多値又は連続的な値に変換することで、実施の形態 8 の場合に比べて更にトランジスタ数を少なくすることが可能になった。

【 0 1 0 0 】

(実施の形態 1 0)

図 4 0 は、実施の形態 8 で使用した多値又は連続的な値を電位値を用いて表現するのではなく、電位が印加されている時間によって多値又は連続的な値を表現することが可能であることを示す図である。すなわち、電位としては 2 値を用いるが、その電位を印加する時間幅（電位パルス幅とも呼ぶ）を制御することで多値又は連続的な値を表現することが可能になる。図 4 0 (a) はニューロン MOS トランジスタの入力信号端子の 1 つを取り上げ、その主要素を等価回路で表した図である。図 4 0 (a) で示されるように抵抗と容量の直列結合が主要素である。この回路に電源電位 V_{dd} を印加した場合の容量間電圧 $V(t)$ と容量に蓄積される電荷量 $Q(t)$ の過渡特性は、抵抗の値を R 、容量の値を C とし、初期電位 $V_0 = 0$ とした場合、下記 (数 2 4) (数 2 5) 式で表される。

【 0 1 0 1 】

【数 2 4】

$$V(t) = V_{dd} \cdot \left[1 - \exp\left(-\frac{t}{RC}\right) \right] \quad (\text{数 2 4})$$

$$Q(t) = C \cdot V_{dd} \cdot \left[1 - \exp\left(-\frac{t}{RC}\right) \right] \quad (\text{数 2 5})$$

【 0 1 0 2 】

(数 2 5) 式で表される電荷量の過渡特性について、電源電位を V_{dd} にした場合と $0.5 V_{dd}$ にした場合を図 4 0 (b) に示す。図 4 0 (b) における横軸は時間を、縦軸は電源電位を V_{dd} で規格化した値を示す。図 4 0 (b) 中、値の大きい曲線が V_{dd} の場合を表し、値の小さい曲線が $0.5 V_{dd}$ を表している。図 3 2 に示す回路において、制御信号端子に多値電位を与える場合は、例として図 4

0 (b) の $0.5 V_{dd}$ の場合において電位が飽和するまでの時間を用いている。一方、電源電位 V_{dd} を用いて、 $0.5 V_{dd}$ の曲線の飽和している状態と同じだけの電荷量を蓄積するためには時間 t_{eq} が必要であり、 t_{eq} で電源との接続を遮断することで等価的に $0.5 V_{dd}$ の電源を用いて電荷量が飽和するまで蓄積した場合を実現できる。この等価性を図 4 0 (c)、(d) で示した。図 4 0 (c) のようにある時間を越えて（この場合は $t > 1$ と記載）、 $0.5 V_{dd}$ の電源を印加した場合に容量に蓄積する電荷量と図 4 0 (d) のように、ある決められた時間（この場合は $t = t_{eq}$ ）だけ V_{dd} の電源電位を印加する場合に容量に蓄積する電荷量を等しくすることが出来る。

【0103】

以上を具体的にニューロン MOS インバータの例で示した図が図 4 1 である。図 4 1 (a) は図 3 2 のプリインバータの 1 つを取り上げた図であり、図中の回路ではフローティングゲートを初期化の際に多値電位が ctl 端子から印加され、初期化後、接続が電源電位に切り替えられ、多値電位がフローティングゲートに保持される。一方、図 4 1 (b) に示すニューロン MOS インバータでは、図 4 0 で示した電位を印加する時間を制御する方法で多値電位を印加した場合と等価な電荷量を蓄積することが可能である。制御信号端子 ctl に加える電位によりニューロン MOS インバータの入力端子である $ctla$ 端子と電源又はグランドを接続、遮断する。このスイッチの部分は標準 CMOS インバータと見做すことも可能である。図 4 1 (a) のニューロン MOS インバータの制御信号端子 ctl に 3 種類の多値電位 (h_1 、 h_2 、 h_3) を与えてフローティングゲートを初期化することにより、異なった関数が生成可能であることを回路シミュレーションにより確認した結果を図 4 2 に示す。図 4 2 において、横軸は時間を μsec 単位で、縦軸は各々の端子の電位を表している。0 ~ 0.1 μsec が区分 I のための初期化時間であり、区分 II、区分 III も同様に初期化時間を設けてある。区分 I、II、III において異なる関数が実現されていることが判る。

【0104】

一方、図 4 3 は図 4 1 (b) のニューロン MOS インバータの回路シミュレーション結果を表した図であり、横軸、縦軸ともに図 4 0 と同じ意味である。初期

化の時間、区分I、II、IIIの入力信号端子input [1]、input [2]の電位も図4 2と同じである。ctl端子には電源電位とグランド電位の2値を与え、ctl端子に与えるグランド電位印加時間、すなわち図4 1 (b)中 ctla 端子に与える電源電位印加時間を w_1 、 w_2 、 w_3 のように区分I、II、IIIの初期化時間に各々変化させる。その結果、図4 2の出力端子outputの電位と同じoutput端子の電位特性を得ることができる。図4 3より、ニューロンMOSインバータの入力端子に与える電位の時間制御により2値の電位を用いた場合でも多値電位を印加することと等価に初期化することが可能であることが判る。図4 1 (b)においては、パストランジスタの導通状態を抵抗素子とみなし、ctla端子とフローティングゲートの間の容量を容量素子とみなし、抵抗及び容量のRC時定数を調整している。電位を印加する時間を制御することにより多値生成を容易に行うためには、図4 1 (b)を一般化した図4 4の回路が有効である。

【0 1 0 5】

図4 4は、ニューロンMOSインバータのctla端子の前段に抵抗素子と容量素子のスイッチ付直並列回路網を設けた構成の回路図である。スイッチswctlは電源又はグランドに接続できるスイッチであり、スイッチswctlと抵抗素子R 1は図4 1 (b)のctla端子に接続されているPMOSFETとNMOSFETに対応する。また、C 1はctla端子とフローティングゲートとの間の容量に対する並列容量になり、C 2は直列容量となる。この2つの異なる作用を持つ容量をsw1、sw3で導通、遮断できる。またR 2はR 1に対して直列に、C 2に対して並列に配置された抵抗素子である。このR 2はスイッチsw2を介してR 1に接続される。このような抵抗素子と容量素子の回路網はその抵抗値と容量値の選択とスイッチの切り換えの選択により、ctla端子とフローティングゲートの間の容量に電荷を蓄積させる際の時間の操作を容易にする。

【0 1 0 6】

図4 5は、制御信号端子に印加時間を制御された2値の電圧を加えることで2値2入力変数の全ての論理関数を実現できる、図3 2に示す回路と同じ機能を有する回路を示している。図4 6は、図4 5の回路の回路シミュレーション結果であり、ANDとXOR機能が実現されている例である。図において横軸に時間、

縦軸に各々の端子電位を表している。ブリンバータの初期化時間における、制御信号端子ctl[1]、ctl[2]、ctl[3]に電位を与える時間を制御することでANDとXORが生成可能であることを例として示している。図4-7および図4-8は図4-5の回路の回路シミュレーション結果であり、横軸が時間を、縦軸が各々の端子電位を表しており、図4-7が対称関数を、図4-8が非対称関数を実現していることを表している。図4-8の各区分Ⅰ～Ⅷの非対称関数はブール式を用いると下記の表3の通りである。但し、input[1]の値を X_1 、input[2]の値を X_2 とした。又、「'」を付した変数は表1の場合と同様で X_1 、 X_2 の論理的反転を示す。

【0107】

【表3】

表 3

区分	Ⅰ	Ⅱ	Ⅲ	Ⅳ	Ⅴ	Ⅵ	Ⅶ	Ⅷ
論理式	$X_1 \cdot X_2$	$X_1 \cdot X_2'$	X_1'	X_1	X_2'	X_2	$X_1 + X_2'$	$X_1' + X_2$

【0108】

本実施の形態においては、電位的に2値入力信号を時間軸方向に制御することすなわちパルス幅制御により、電位的に多値又は連続的な値を用いた場合と同じ機能を果たすことが可能であり、2値2入力変数の全ての論理関数を実現できることを示した。

【0109】

【発明の効果】

以上詳細に説明したように、本発明による関数機能構成データ保持方法を採用することにより集積回路の製造後であっても関数機能を構成することが可能であり、関数処理を行う回路が記憶機能も併せ持つために、データを保持するためだけの記憶素子または記憶回路は不必要になり、可変論理部または関数処理部を構成する回路の面積を低減することが可能になる。また、電気的スイッチの制御により高速に関数機能構成データの書き込み及び消去の書き換えを行うため、関数機能の動的再構成をも可能にする。更に2値のみならず多値及び連続値を関数機

能構成データとして保持できるため、プログラマブルハードウェアの高機能化に貢献することが可能になる。

【図面の簡単な説明】

【図 1】

ニューロンMOSインバータの基本回路図。

【図 2】

本発明に用いられたニューロンMOS回路の主要構成図。

【図 3】

2入力信号に対して3つの制御信号を用いて論理を構成する場合のメインインバータ入力部の回路図。

【図 4】

データ保持機能を持つニューロンMOS回路の概念図。

【図 5】

プラインバータに入力される制御信号を保持する回路における主要部の回路図。

【図 6】

制御信号をグランド電位に固定し、初期化を行う場合のタイミング図。

【図 7】

制御信号をグランド電位に固定し、初期化を行った場合の回路シミュレーションによる時間に対する端子電位変化を示す波形図。

【図 8】

制御信号を電源電位に固定し、初期化を行う場合のタイミング図。

【図 9】

制御信号を電源電位に固定し、初期化を行った場合の回路シミュレーションによる時間に対する端子電位変化を示す波形図。

【図 1 0】

制御信号の状態を保持するためのニューロンMOS回路図。

【図 1 1】

関数機能構成データ保持機能を持つ2入力信号用ニューロンMOS回路図。

【図 1 2】

フローティングゲートが基本的初期状態である場合 (Cell type A 使用) の回路シミュレーションによる端子電位の変化を示す波形図。

【図 1 3】

論理構成データ保持用の初期化を行った場合 (Cell type B 使用) の回路シミュレーションによる端子電位の変化を示す波形図。

【図 1 4】

論理構成データ保持機能を持つ 2 入力信号用ニューロン MOS 回路図。

【図 1 5】

フローティングゲートが基本的初期状態である場合 (Cell type C 使用) の回路シミュレーションによる端子電位の変化を示す波形図。

【図 1 6】

論理構成データ保持用の初期化を行った場合 (Cell type D 使用) の回路シミュレーションによる端子電位の変化を示す波形図。

【図 1 7】

論理構成データ保持用の初期化を行った場合 (Cell type D 使用) の回路シミュレーションによる端子電位の変化を示す波形図。

【図 1 8】

論理構成データ保持機能を持つ 2 入力信号用ニューロン MOS 回路図。

【図 1 9】

フローティングゲートが基本的初期状態である場合 (Cell type E 使用) の回路シミュレーションによる端子電位の変化を示す波形図。

【図 2 0】

論理構成データ保持用の初期化を行った場合 (Cell type F 使用) の回路シミュレーションによる端子電位の変化を示す波形図。

【図 2 1】

関数機能構成データ保持機能を持つ 2 入力信号用ニューロン MOS 回路図。

【図 2 2】

論理処理実行中に定常的に制御信号を入力し続ける場合 (Cell type G) の回路

シミュレーションによる端子電位の変化を示す波形図。

【図 2 3】

論理構成データ保持用の初期化を行った場合 (Cell type H) の回路シミュレーションによる端子電位の変化を示す波形図。

【図 2 4】

ニューロンMOSインバータを有する集積回路において、関数機能構成データを保持するための制御をブロック分割して行う場合の回路構成図。

【図 2 5】

関数機能構成データ保持機能を持つ 2 入力信号用ニューロンMOS回路図。

【図 2 6】

図 2 5 において制御端子を除去し、制御信号と等価の信号をプラインバータの初期化時に入力する場合を示す回路図。

【図 2 7】

関数を決定するための制御信号と等価の信号をプラインバータの初期化時に入力信号端子より入力することが可能な回路の回路シミュレーションによる端子電位の変化を示す波形図。

【図 2 8】

関数又は論理を決める信号の入力を時空間上に展開する概念を説明する図。(a) は複数の信号を同時に異なる端子から入力する場合、(b) は複数の信号を 1 つの端子上で時分割して入力する場合、(c) は複数の信号を複数の端子上で時分割し分散して入力する場合。

【図 2 9】

(a) 3 入力端子を持ち、フローティングゲート端子がNMOSFETによりグランドとの導通、遮断を制御されるニューロンMOSインバータ回路図、(b) は (a) のフローティングゲートfltに接続されている容量を取り出した等価回路図。

【図 3 0】

3 入力ニューロンMOSインバータにおいて、1 つの入力端子に電源電位を印加し、フローティングゲートの初期化を行った場合の回路シミュレーションの結果

における各端子電位の波形図。

【図 3 1】

3 入力ニューロン MOS インバータにおいて、3 つの入力端子に各々電源電位の $5/8$ 、 $1/4$ 、 $1/8$ の電位を印加しフローティングゲートの初期化を行った場合の回路シミュレーションの結果における各端子電位の波形図。

【図 3 2】

3 つの制御信号端子を有するニューロン MOS 回路にプリインバータのフローティングゲートを初期化する際に制御信号として多価を用いることで、2 値 2 入力変数の全ての論理関数を実現することが可能である回路図。

【図 3 3】

多値電位生成用のインピーダンス回路網の 1 例を示す回路図。

【図 3 4】

多値電位生成用のインピーダンス回路網の他の 1 例を示す回路図。

【図 3 5】

対称関数の場合の回路シミュレーションによる各端子での電位波形図。

【図 3 6】

非対称関数の場合の回路シミュレーションによる各端子での電位波形図。

【図 3 7】

2 つの制御信号端子を有するニューロン MOS 回路にフローティングゲートを初期化する際に制御信号及び入力信号として多値を用いることで、2 値 2 入力変数の全ての論理関数を実現することが可能である回路図。

【図 3 8】

対称関数の場合の回路シミュレーションによる各端子での電位波形図。

【図 3 9】

非対称関数の場合の回路シミュレーションによる各端子での電位波形図。

【図 4 0】

多値電位入力と印加電位の時間幅制御による 2 値電位入力がニューロン MOS トランジスタの初期化時に等価とみることが可能であることを示す図で、(a) はニューロン MOS トランジスタの入力部の主要素の等価回路図、(b) は (a)

の等価回路に対して標準的電源電位を用いた場合とその $1/2$ の電源電位を用いた場合の過渡特性図、(c)は $1/2$ の電源電位をある時間保ち続けた時の電源電位と時間の関係図、(d)は標準的電源電位をある時間幅で印加する時の電源電位と時間の関係図。

【図 4 1】

2つの入力信号端子と1つの制御信号端子を有するニューロンMOSインバータ回路図、(a)は図32のプリインバータの1つを取り上げた回路図、(b)は印加時間を制御された2値電位入力により(a)と同じ機能を持つ回路図。

【図 4 2】

2つの入力信号端子と1つの制御端子を有する図41(a)のニューロンMOSインバータのフローティングゲートの初期化時において異なる値の多値電位を保持することにより異なる論理を実現可能なことを示す回路シミュレーション結果における各端子の電位波形図。

【図 4 3】

2つの入力信号端子と1つの制御端子を有する図41(b)のニューロンMOSインバータのフローティングゲートの初期化時において、印加電位の時間幅が制御された2値電位が入力されることにより異なる論理を実現可能なことを示す回路シミュレーション結果における各端子の電位波形図。

【図 4 4】

多値生成を容易に行うための回路の一例を示す回路図。

【図 4 5】

電位を印加する時間幅制御による2値電位入力により2値2入力変数の全ての論理関数を生成可能なニューロンMOS回路図。

【図 4 6】

電位を印加する時間幅制御による2値電位入力ニューロンMOS回路の回路シミュレーションによる各端子における電位波形図であり、ANDとXOR機能が実現されている例を示す電位波形図。

【図 4 7】

電位を印加する時間幅を制御することにより対称関数機能を実現する、2値電位

を入力信号とするニューロンMOS回路の回路シミュレーションにより求められた各端子の電位波形図。

【図 4 8】

電位を印加する時間幅を制御することにより非対称関数機能を実現する、2 値電位を入力信号とするニューロンMOS回路の回路シミュレーションにより求められた各端子の電位波形図。

【図 4 9】

従来公知の4 入力LUTによる可変論理部の構成図。

【図 5 0】

従来公知のマルチプレクサを用いた可変論理部の構成図。

【図 5 1】

従来公知のPLAを用いた可変論理部の回路図。

【図 5 2】

相補型ニューロンMOSインバータ回路で (a) レイアウト図、(b) (a) に記載のX-X' での断面図、(c) n入力相補型ニューロンMOSインバータ回路図。

【符号の説明】

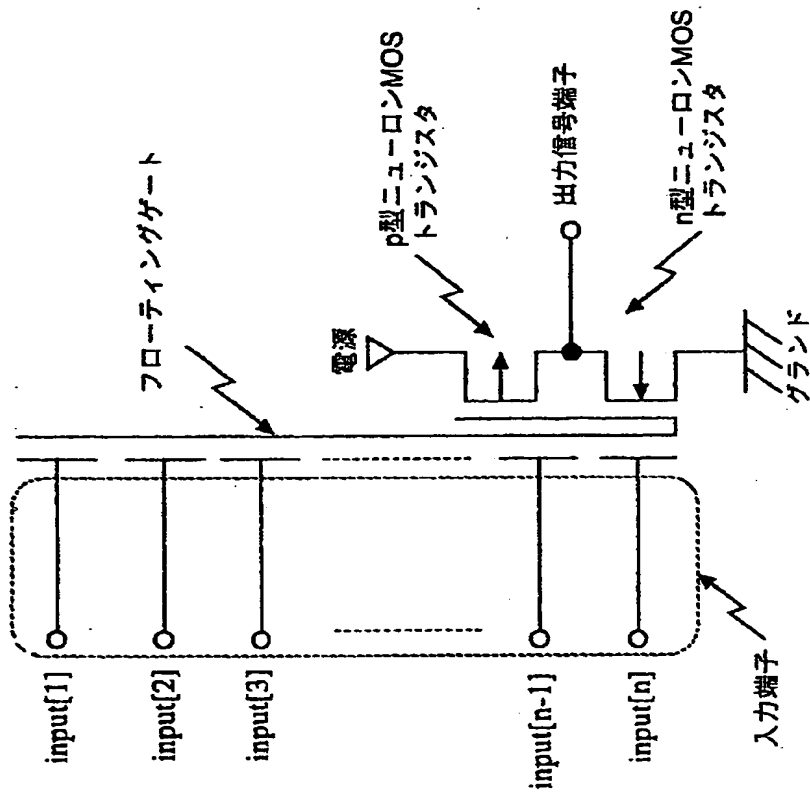
- $C_{n1} \sim C_{n3}$: n型ニューロンMOSトランジスタのゲートオーバーラップ容量
- C_{nc} : ゲートオーバーラップ容量
- C_{nj} : フローティングゲートとグラウンドを接続するNMOSFETのドレインと基板 (又はウエル) の間の容量
- $C_{p1} \sim C_{p3}$: p型ニューロンMOSトランジスタのゲートオーバーラップ容量
- cpa1、cna1、cpb1、cnb1、cpc2、cnc2 : トランスミッションゲート制御信号端子
- ck : NMOSFETゲート電極
- cn1、cn2、cp1、cp2 : トランスミッションゲート制御信号端子
- ctl[1] ~ ctl[m] : 制御信号端子
- ctl[1a] ~ ctl[ma] : 制御信号端子入力側端子

fgm	: メインインバータフローティングゲート端子
fgp[1]～fgp[3]、fgp	: プレインバータのフローティングゲート端子
flt[1]～flt[m]	: フローティングゲート
init	: 初期化信号端子
input[1]～input[n]	: 入力信号端子
mpreinv[1]～mpreinv[3]	: 各プレインバータ出力に対応するメインインバータ側ゲート端子
nmosp[1]～nmosp[3]	: NMOSトランジスタ
output	: 出力信号端子
preinv[1]～preinv[3]	: プレインバータ
R[1]～R[k]	: 抵抗
sw[1]～sw[k+1]、swa、swctl	: スイッチ
TG-A～TG-C	: トランスミッションゲート

【書類名】図面

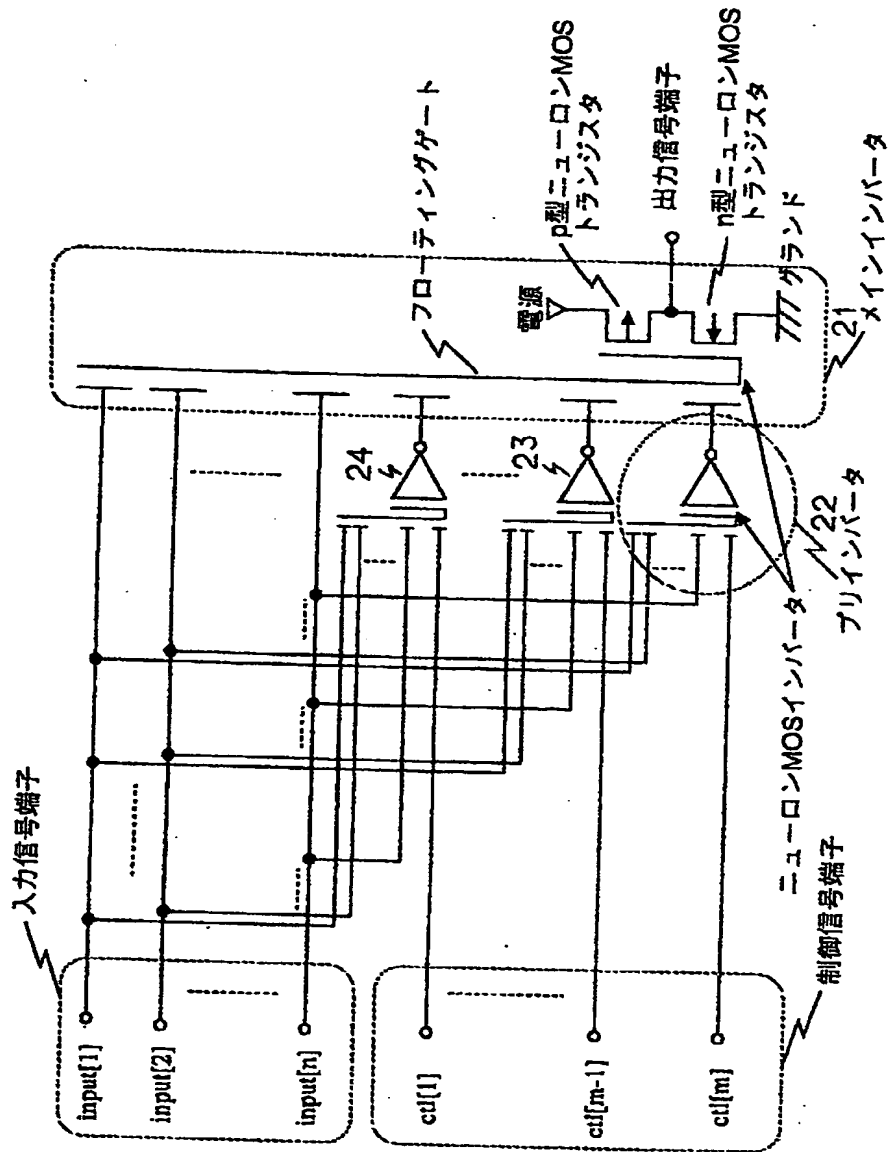
【図 1】

図 1



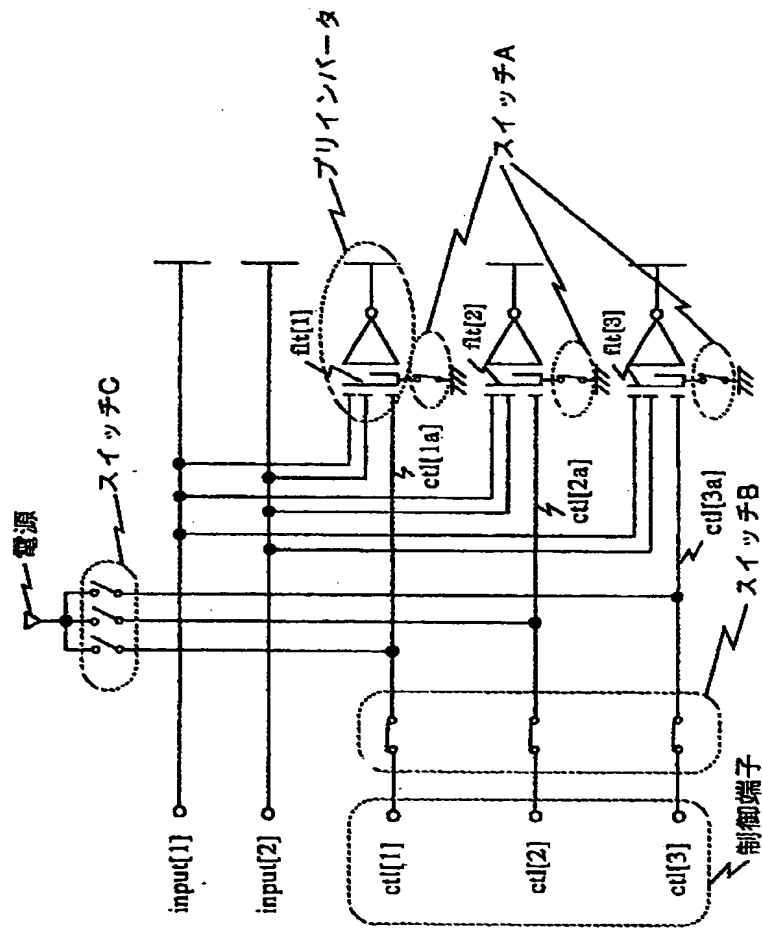
【図2】

図 2



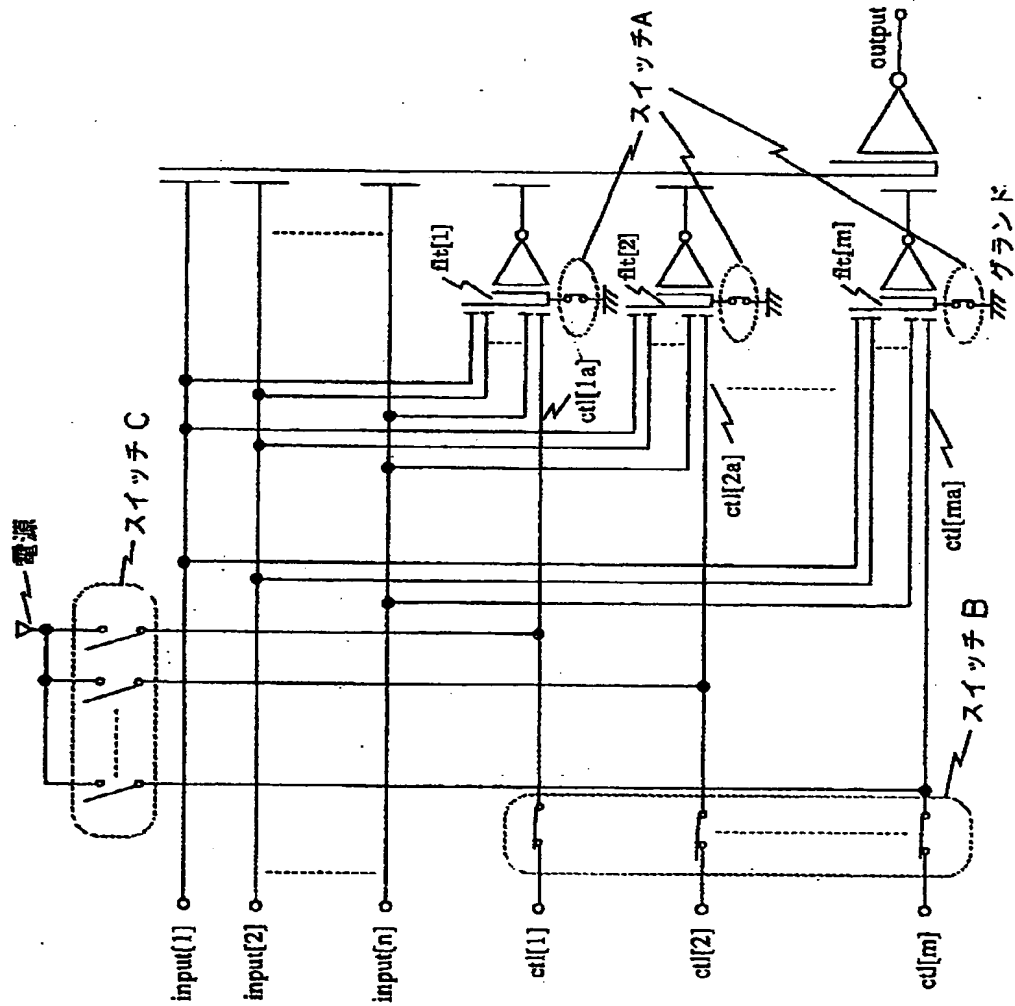
【図 3】

図 3



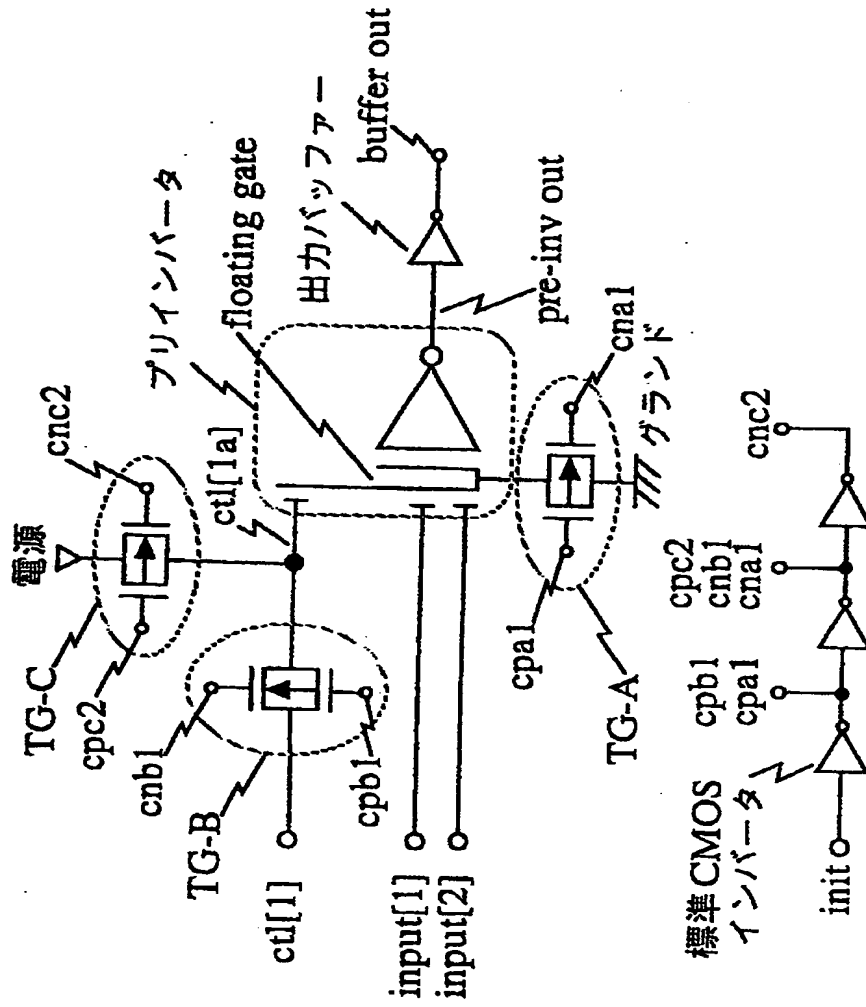
【図 4】

図 4



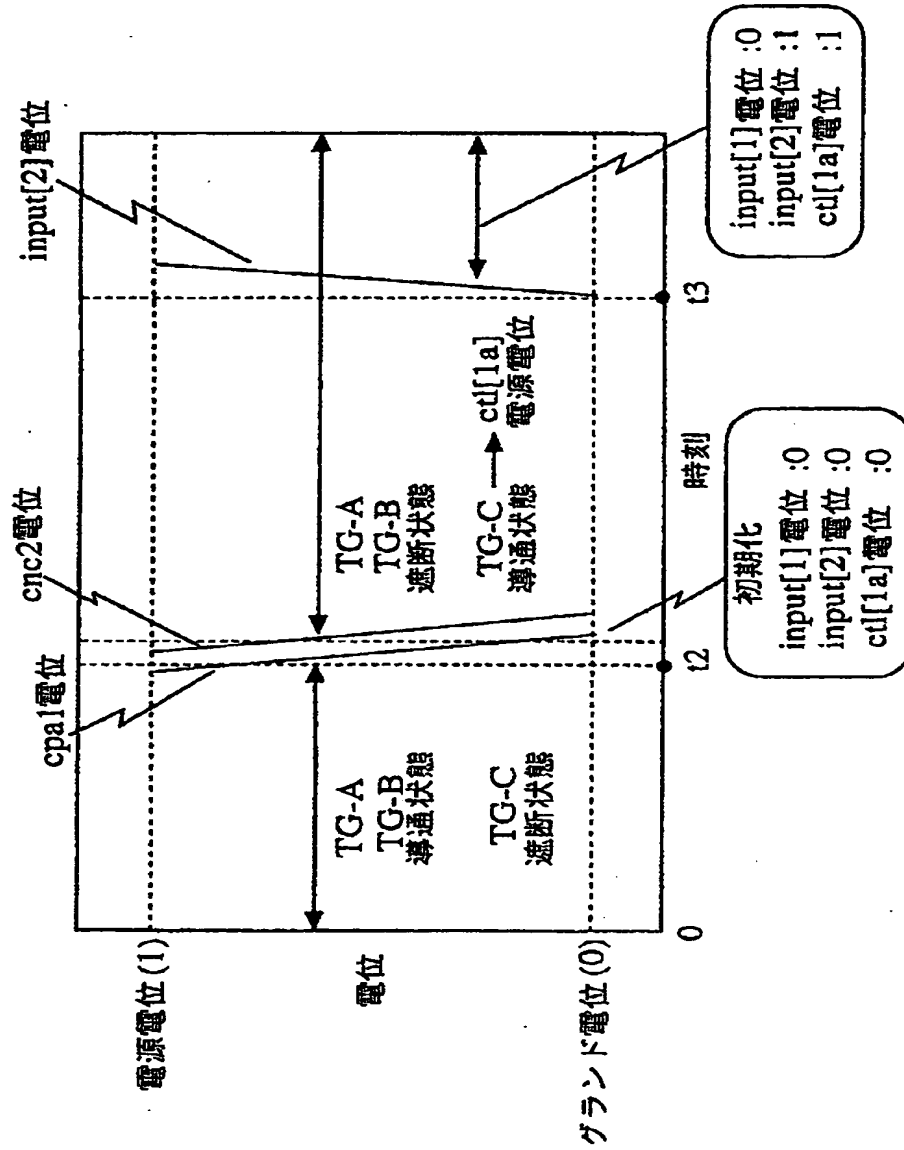
【図5】

図5



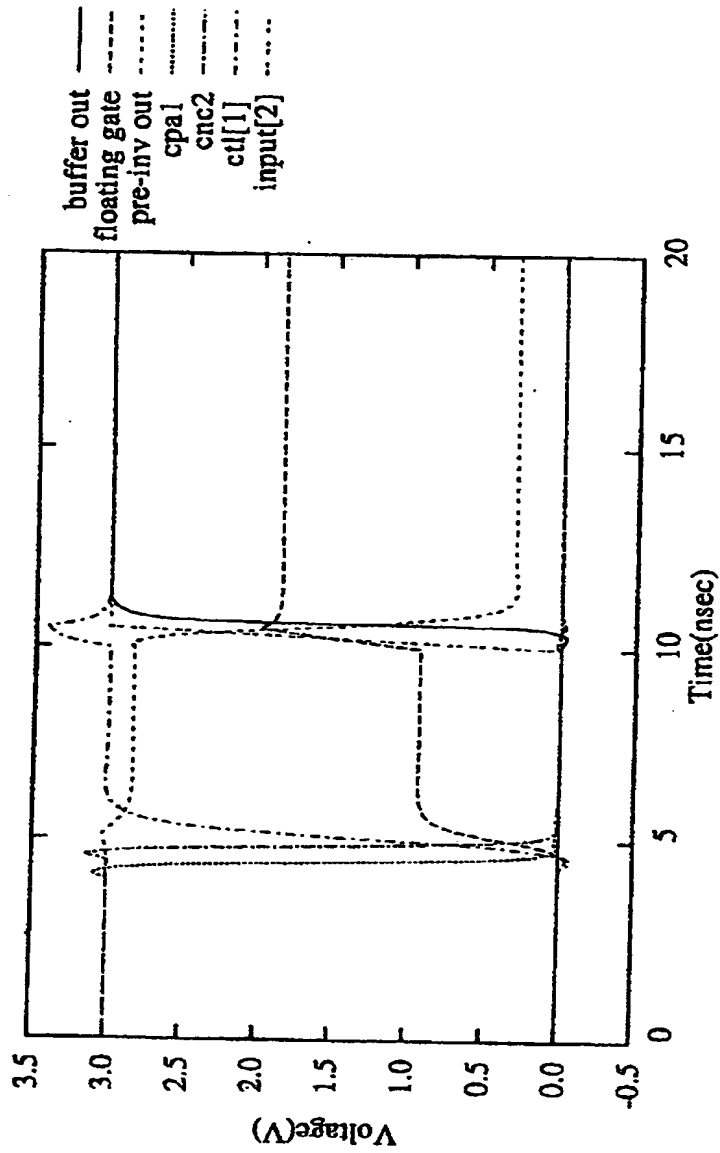
【図6】

図 6



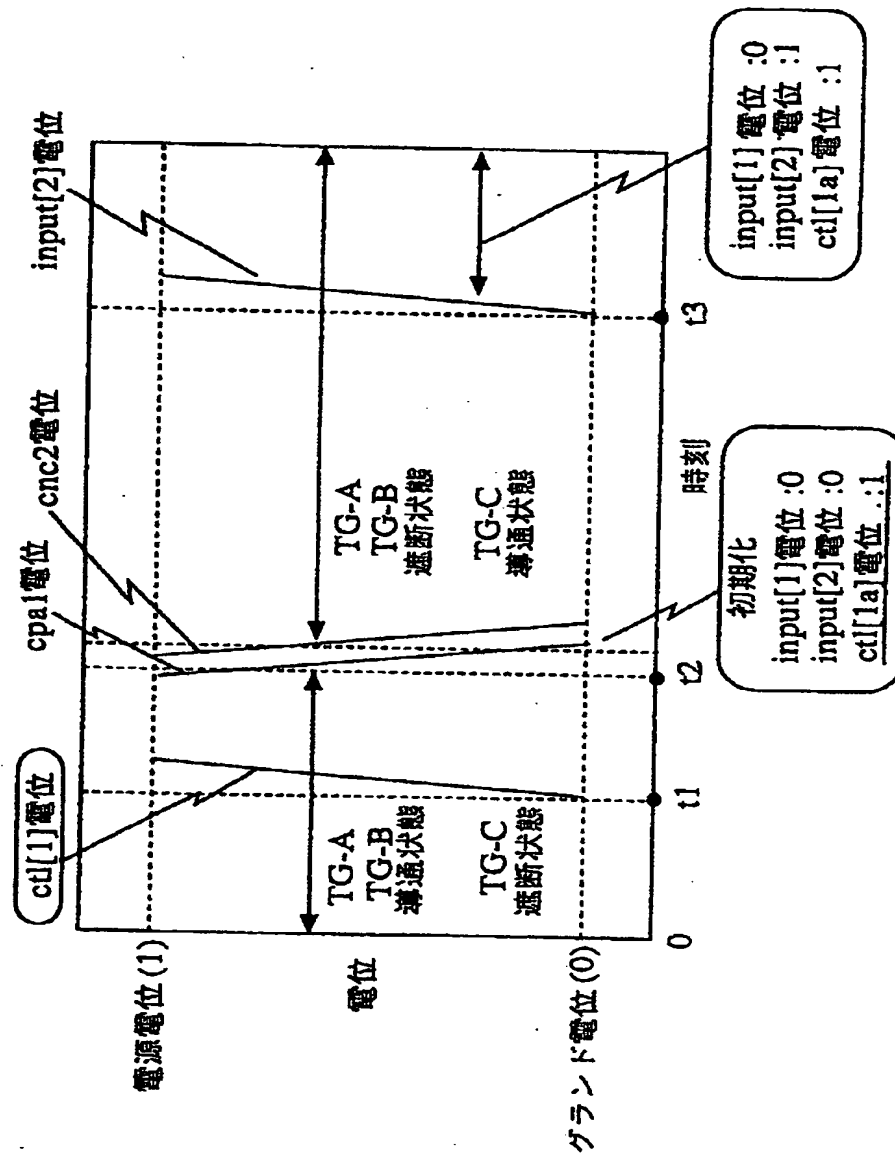
【図 7】

図 7



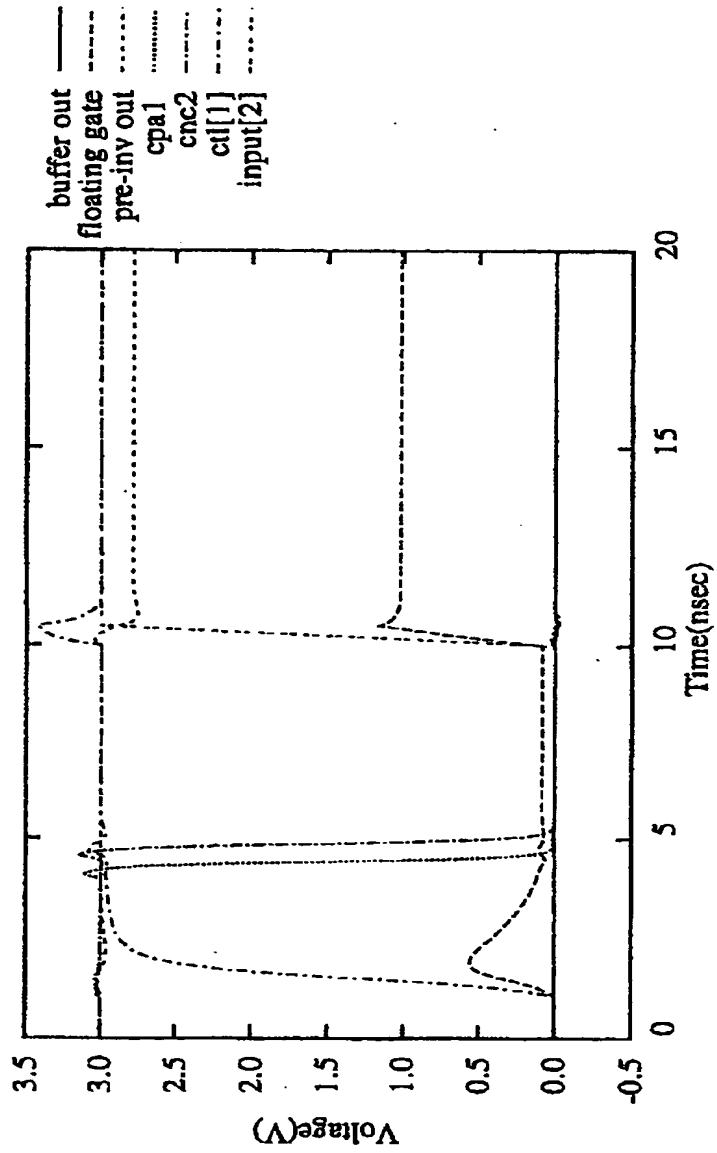
【図 8】

図 8

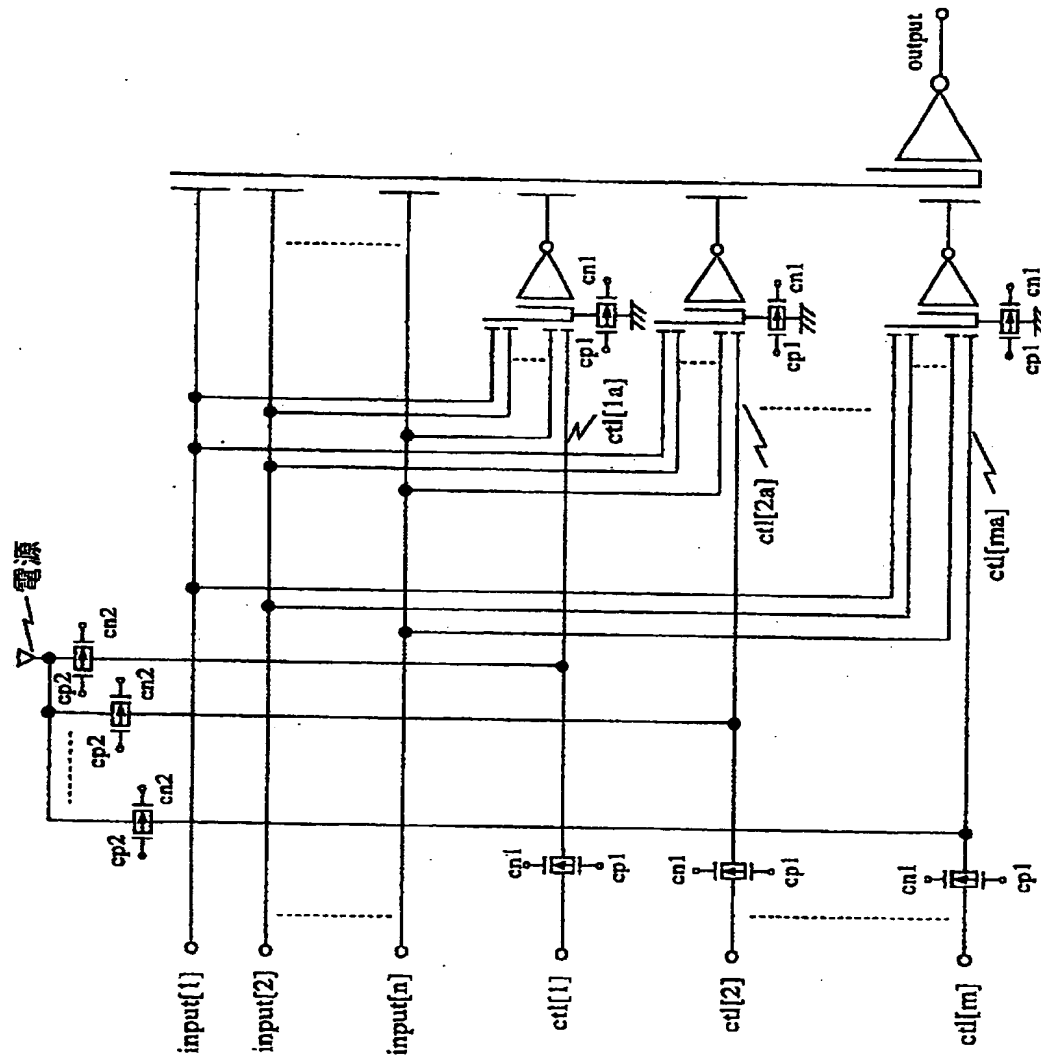


【図 9】

図 9

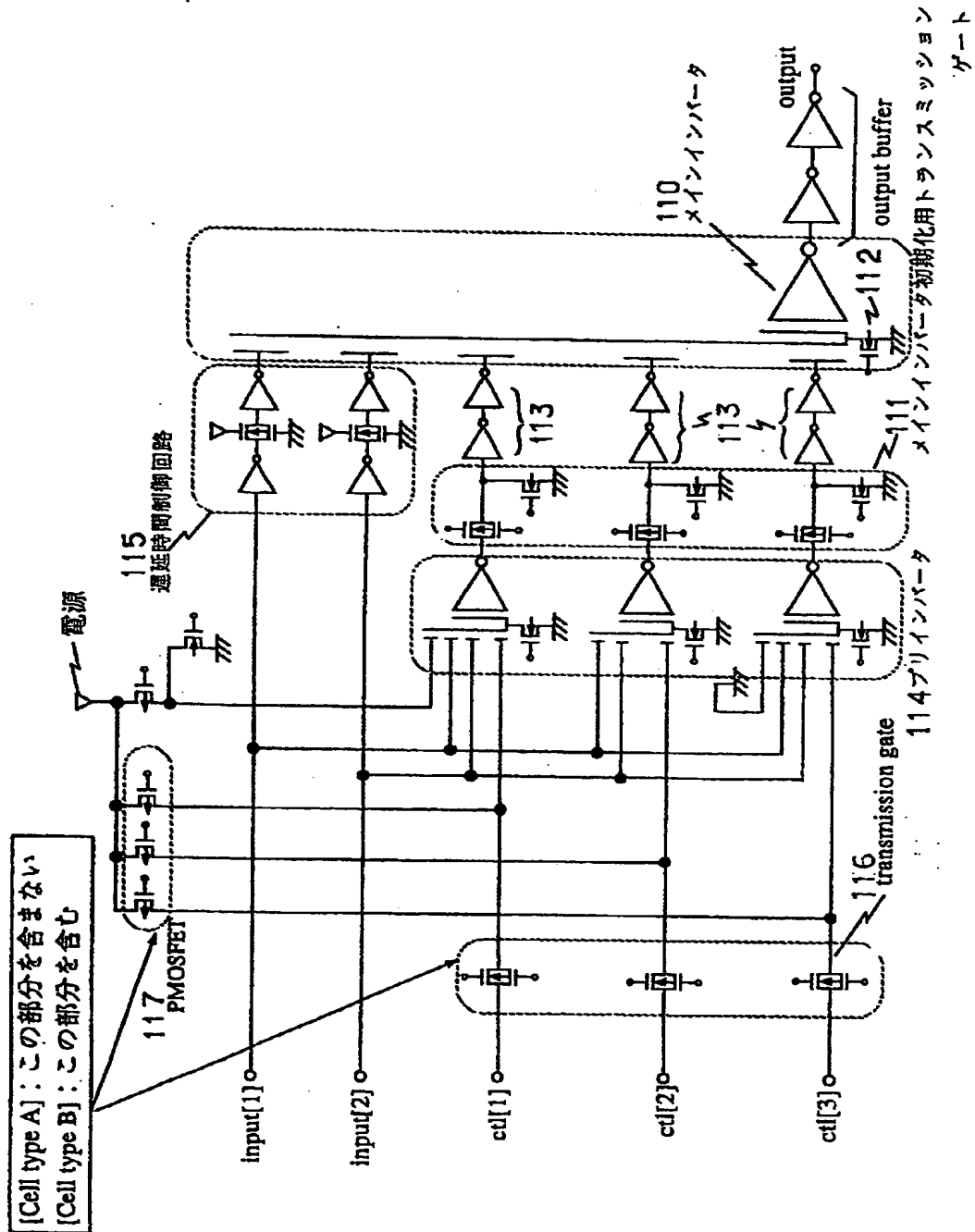


【図10】
図 10



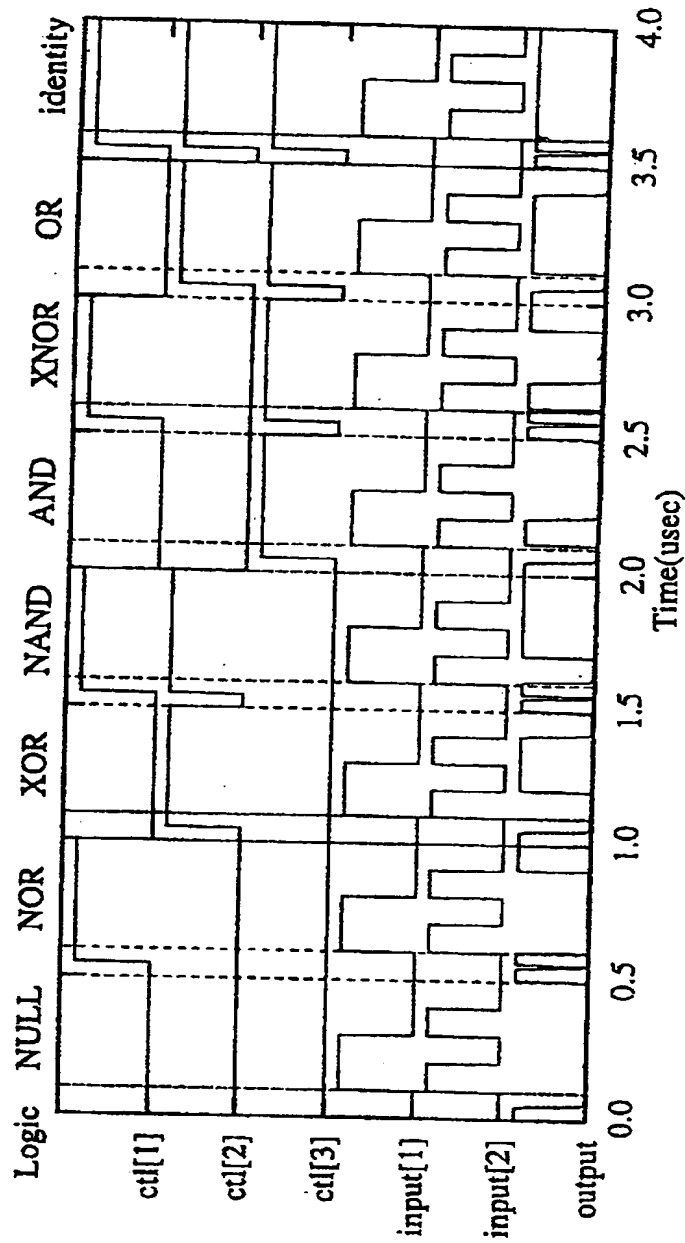
【図11】

図11



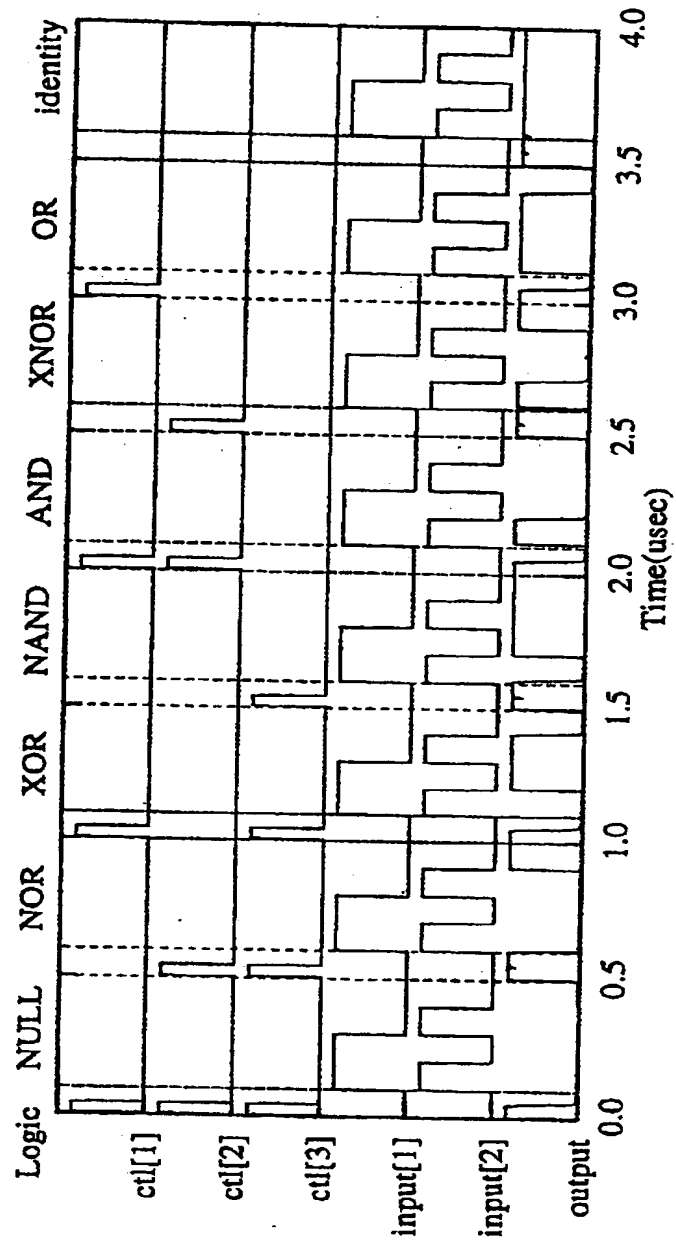
【図 1 2】

図 1 2



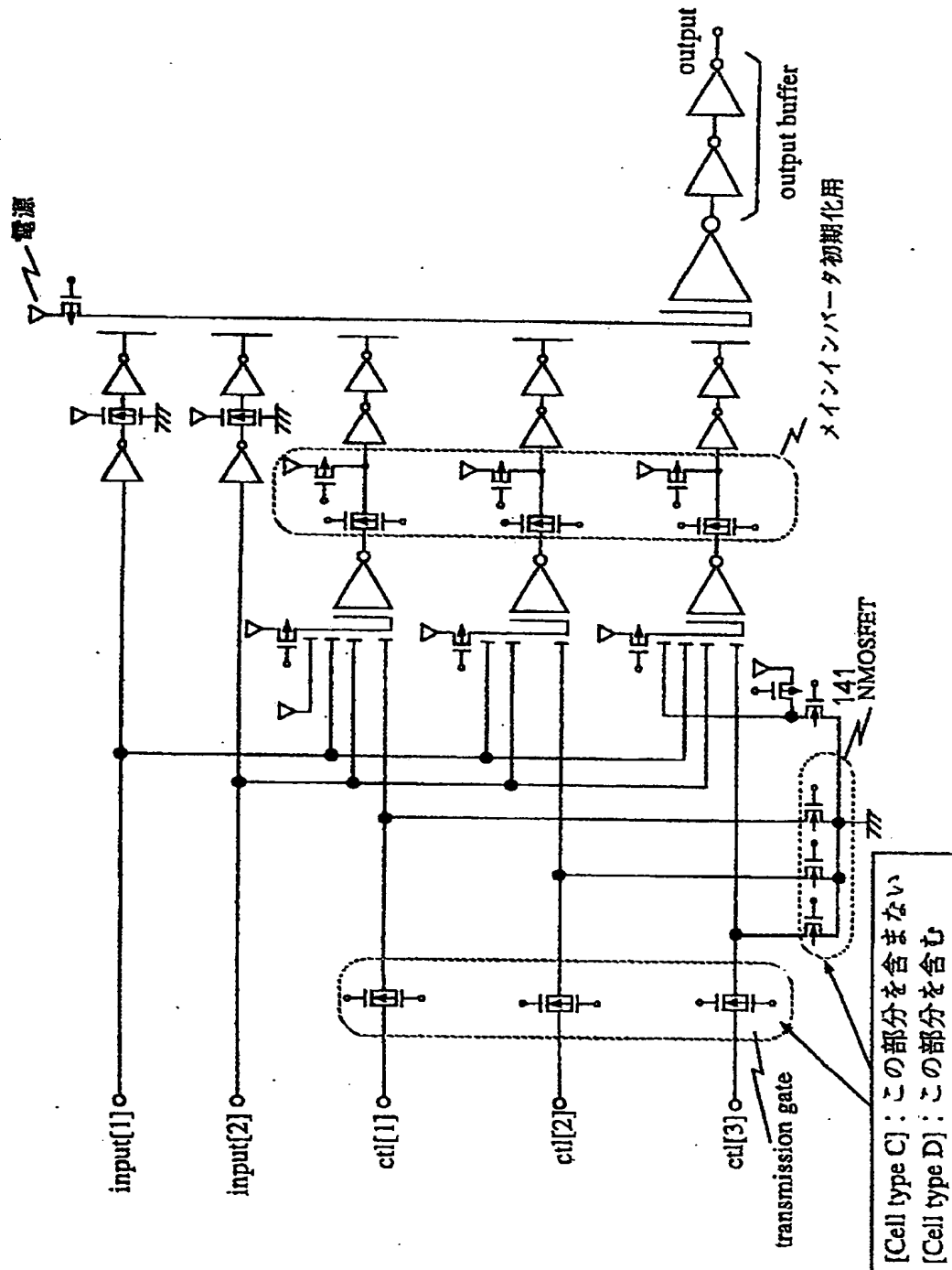
【図 13】

図 13



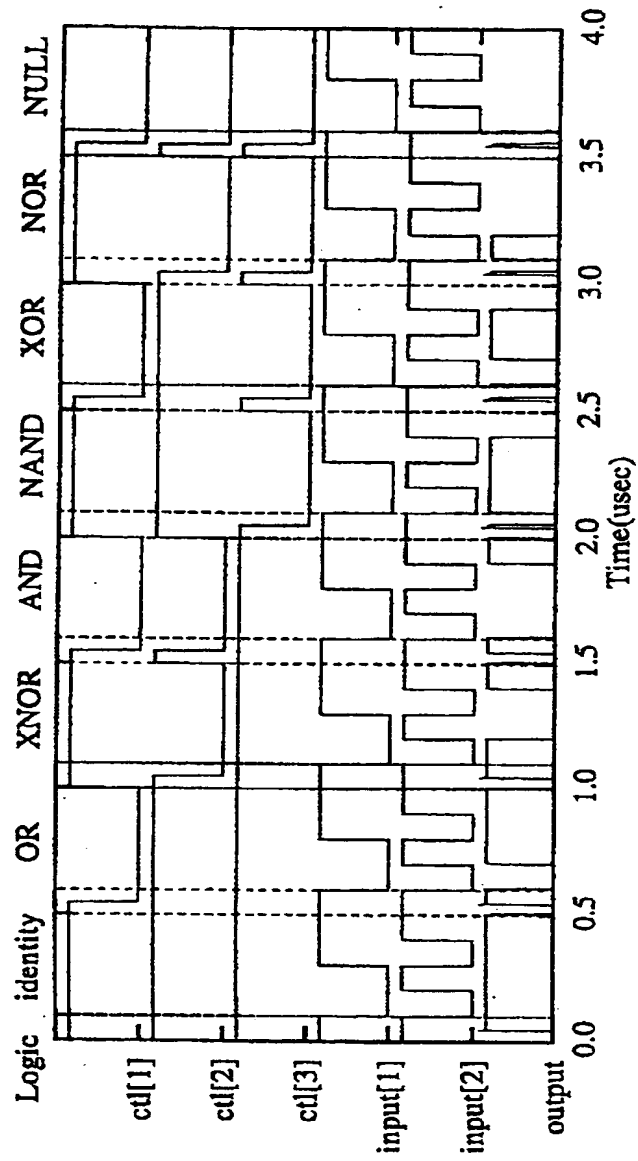
【図 14】

図 14



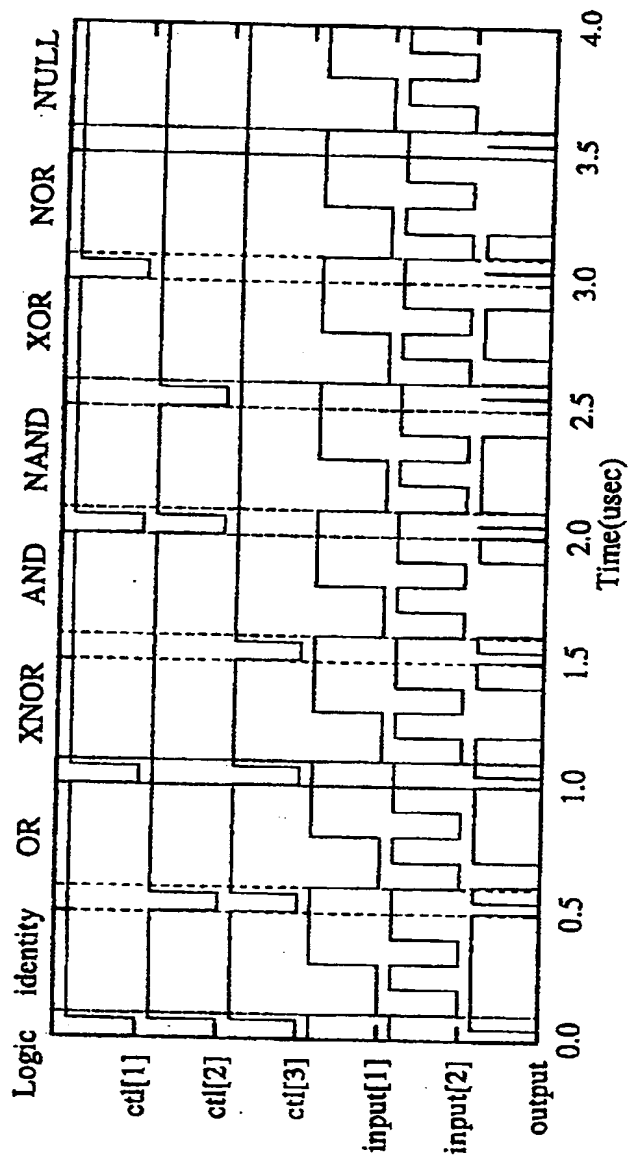
【図15】

図 15



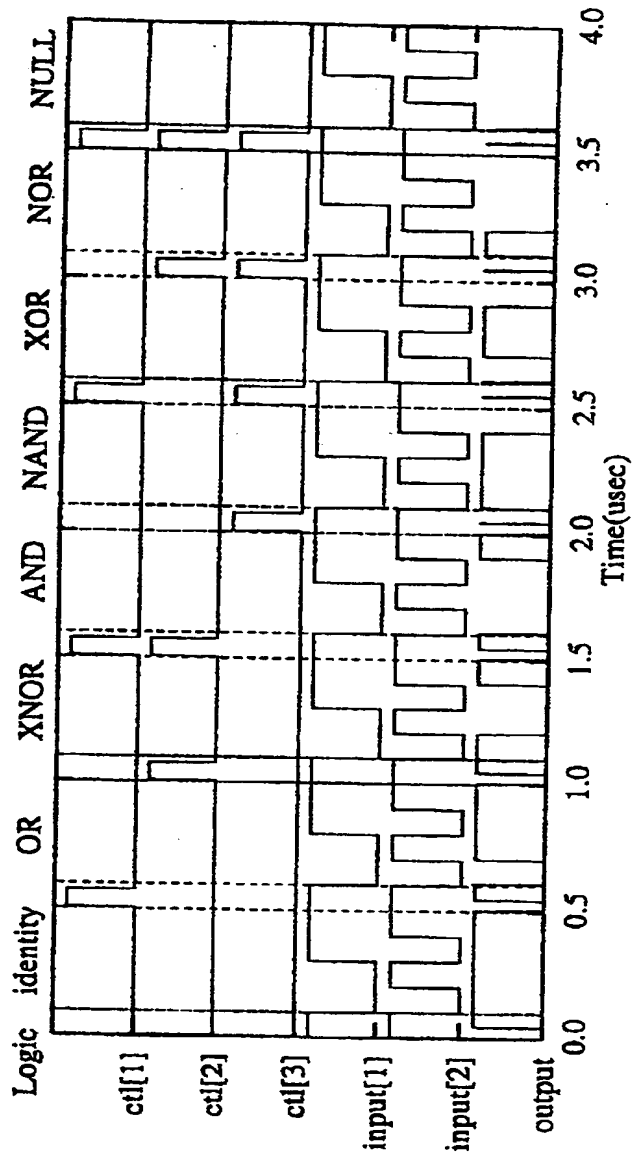
【図 1 6】

図 1 6



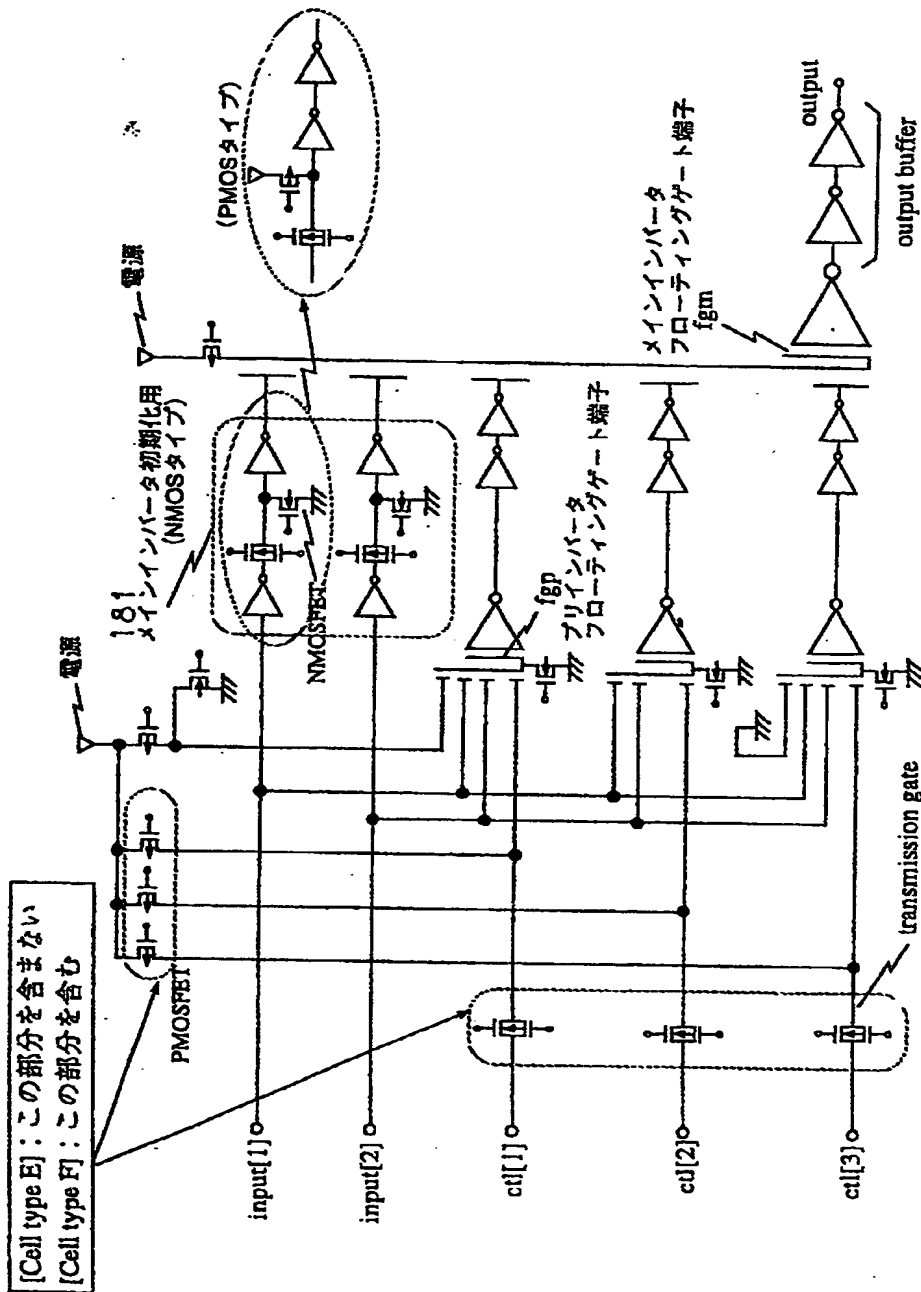
【図 17】

図 17



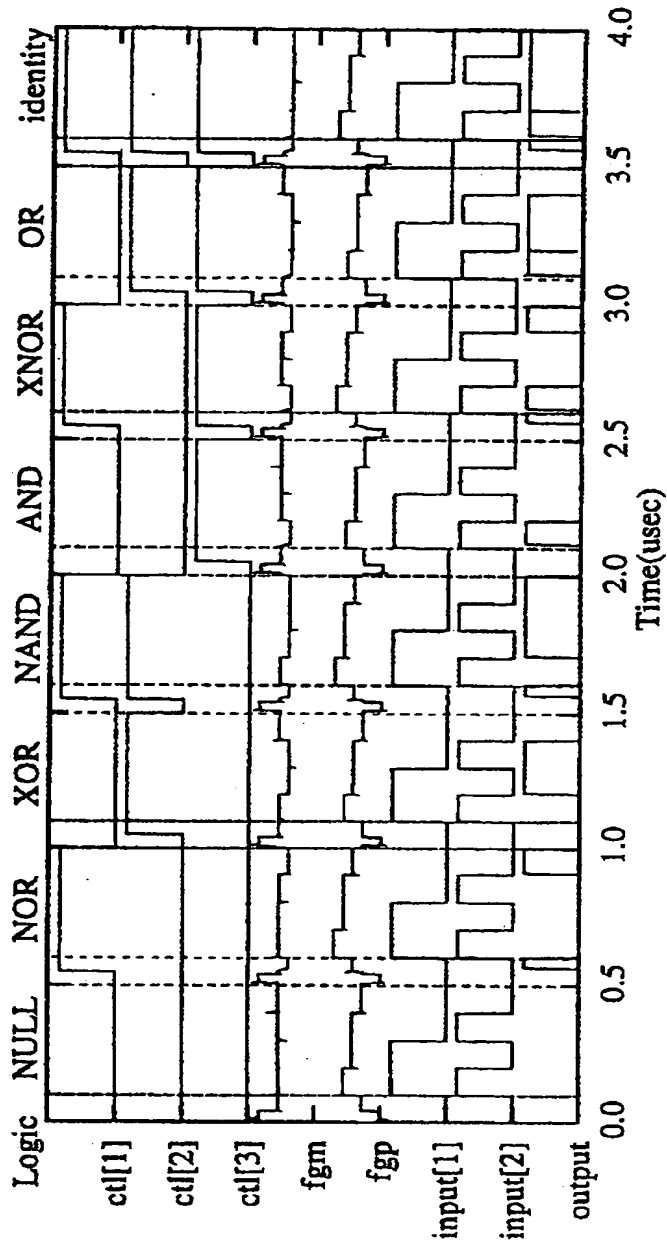
【図 18】

图 18



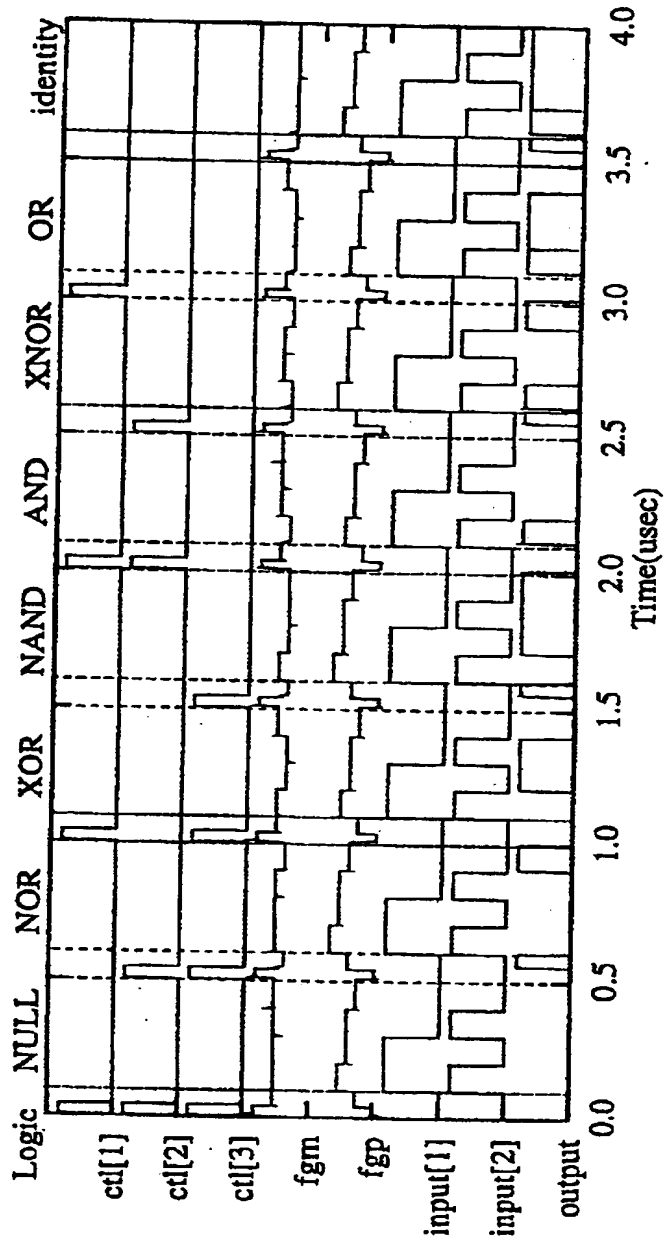
【図19】

図 19



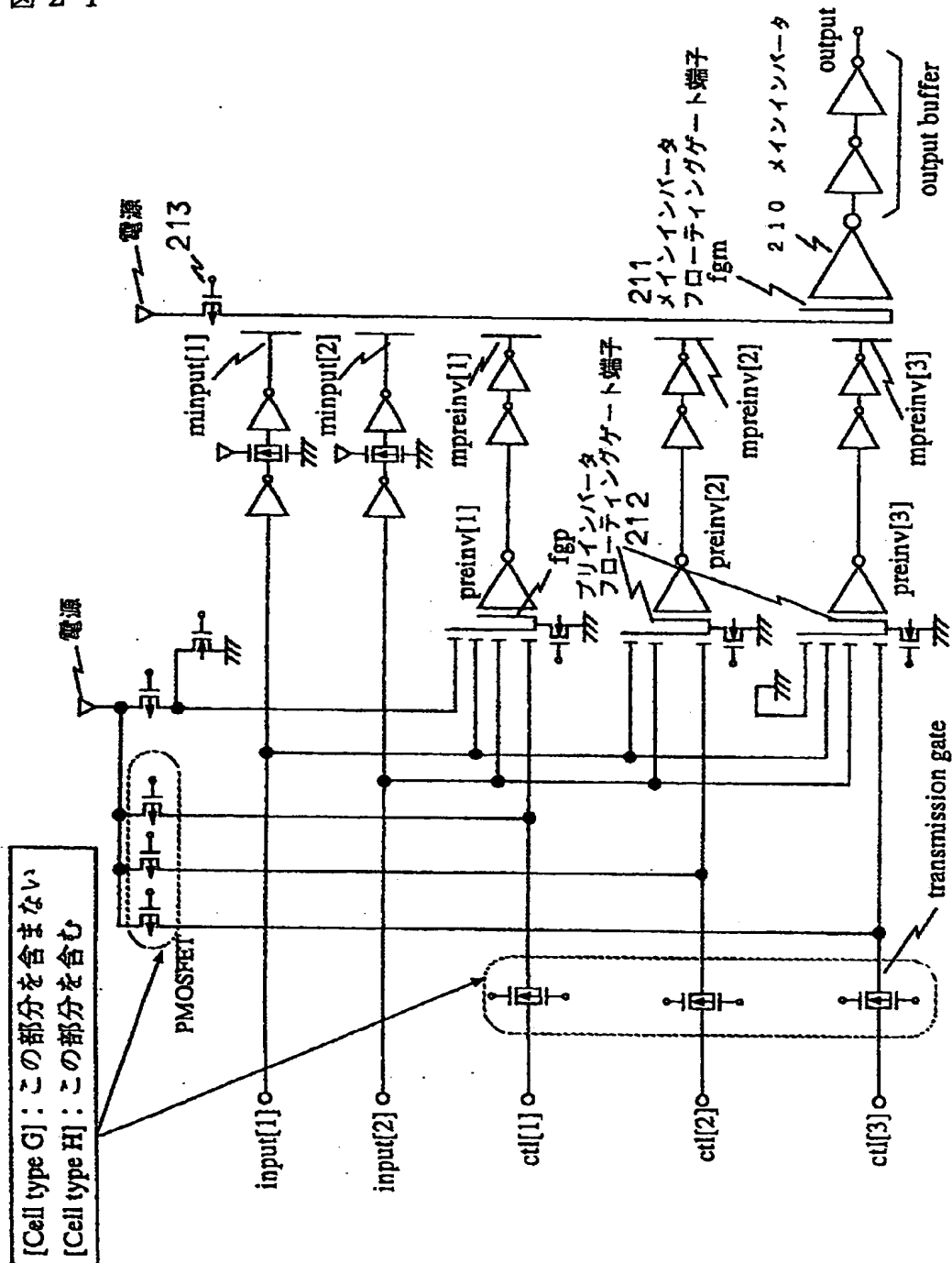
【図20】

図 20



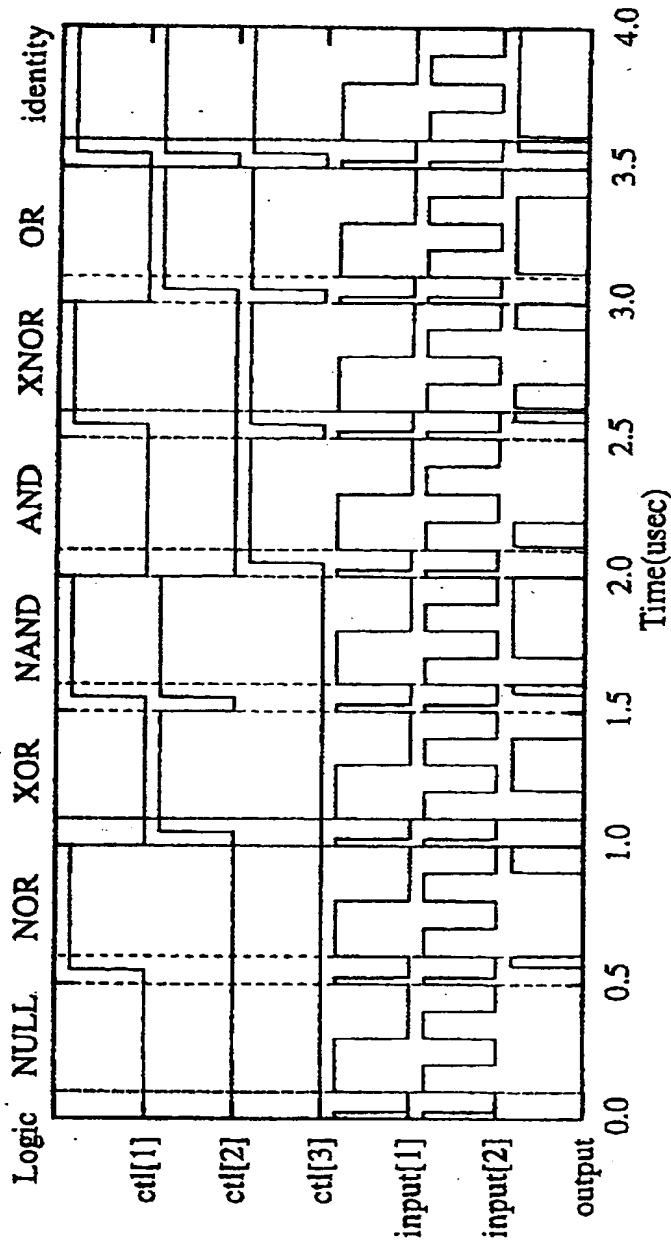
【図 21】

図 21



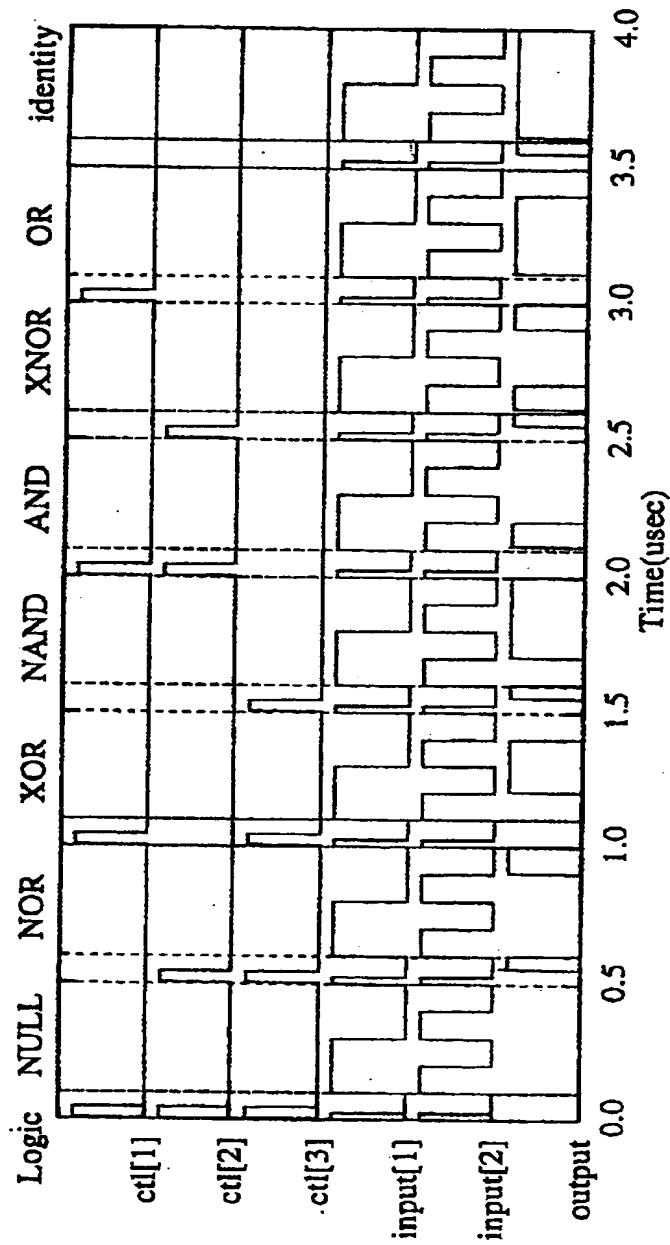
【図 22】

図 22



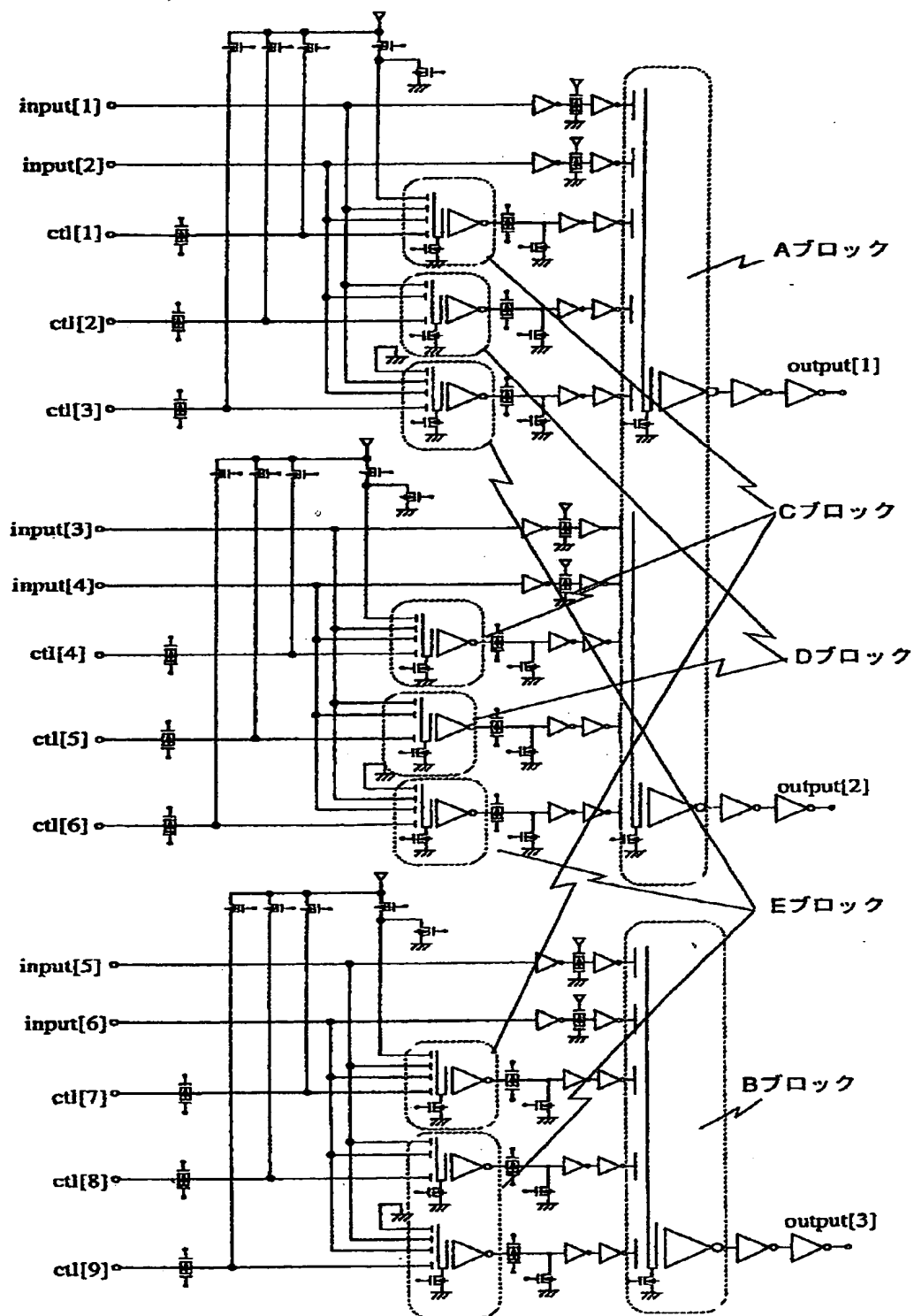
【図 23】

図 23



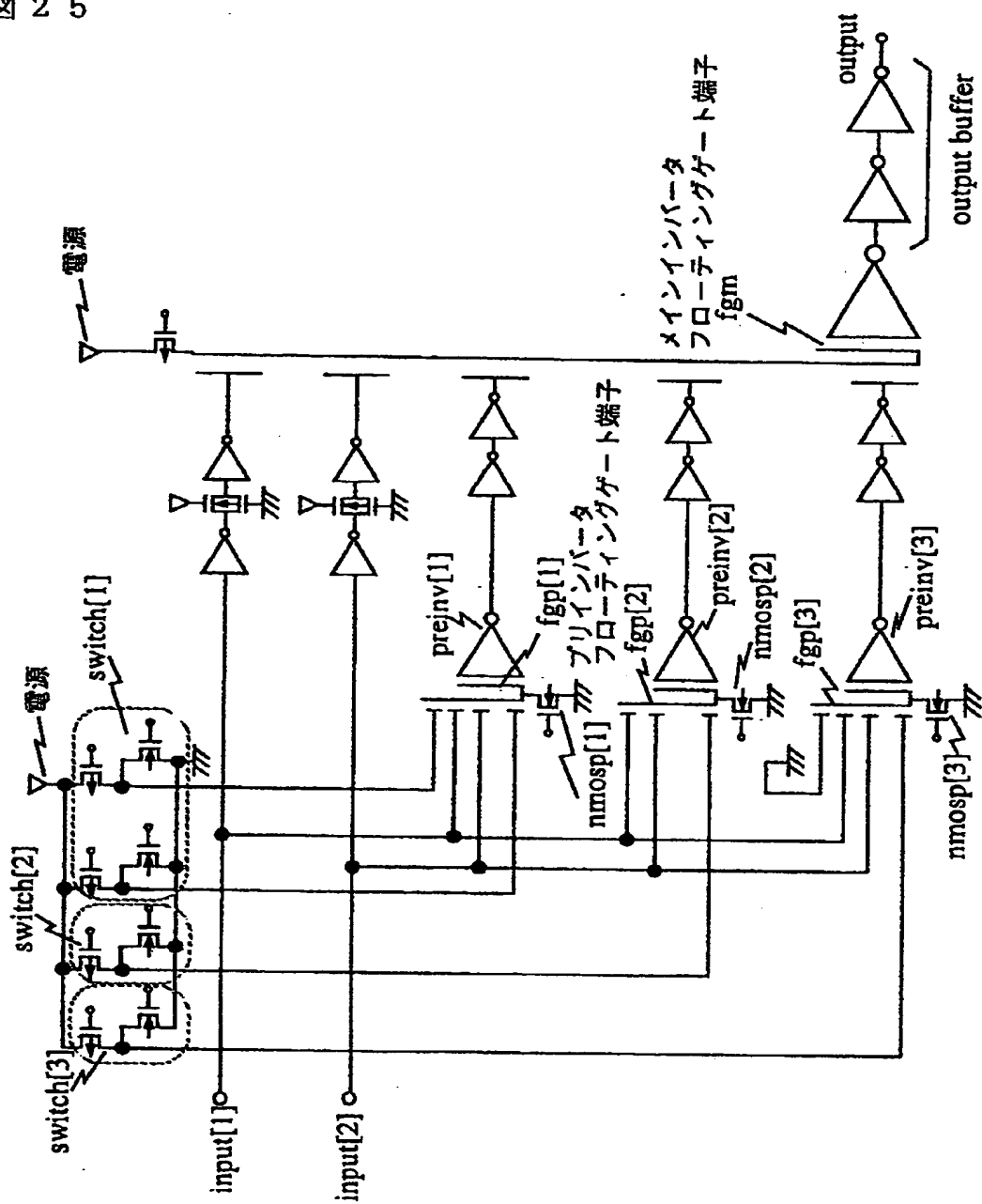
【図24】

図24



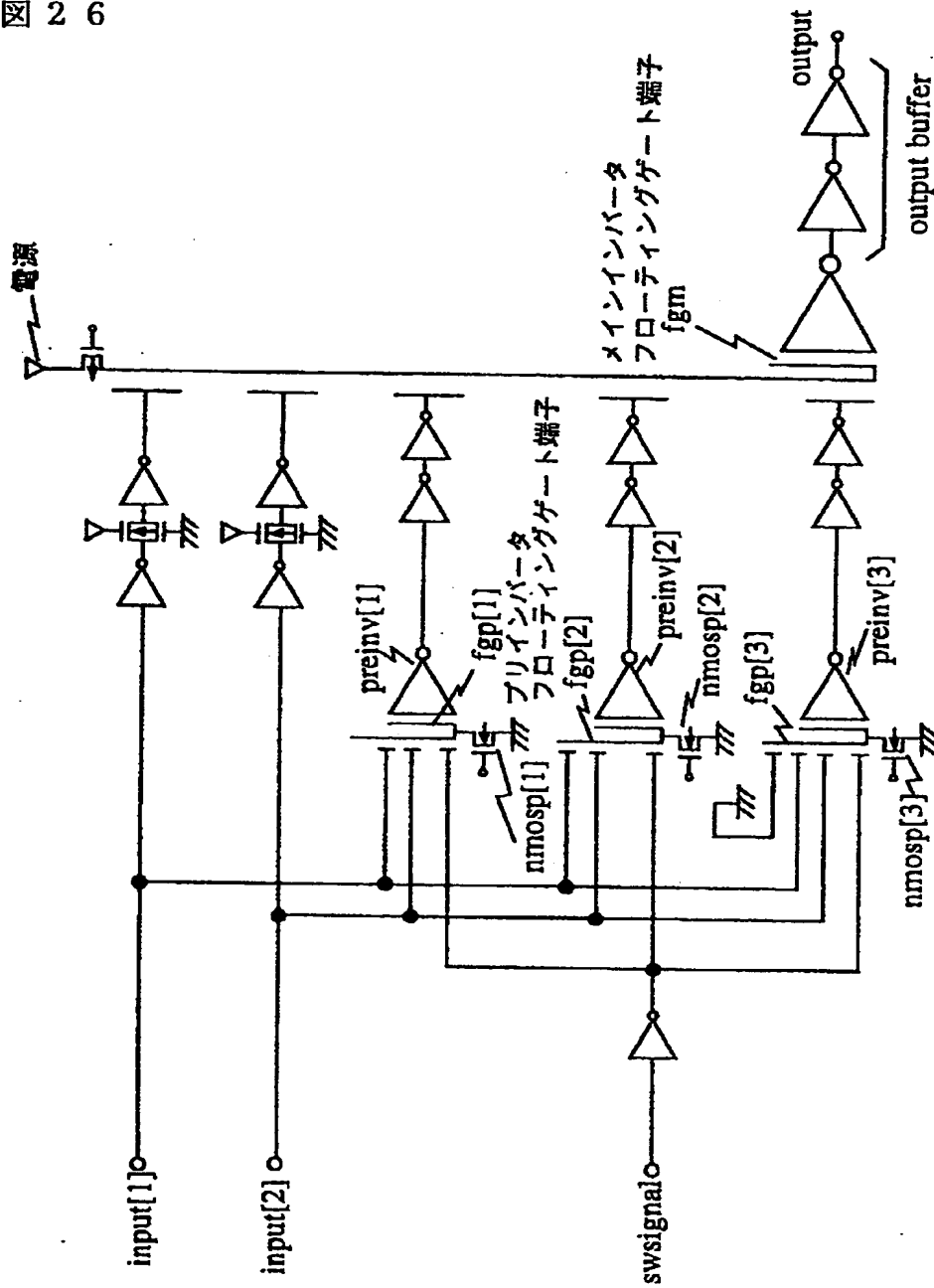
【図 25】

图 25



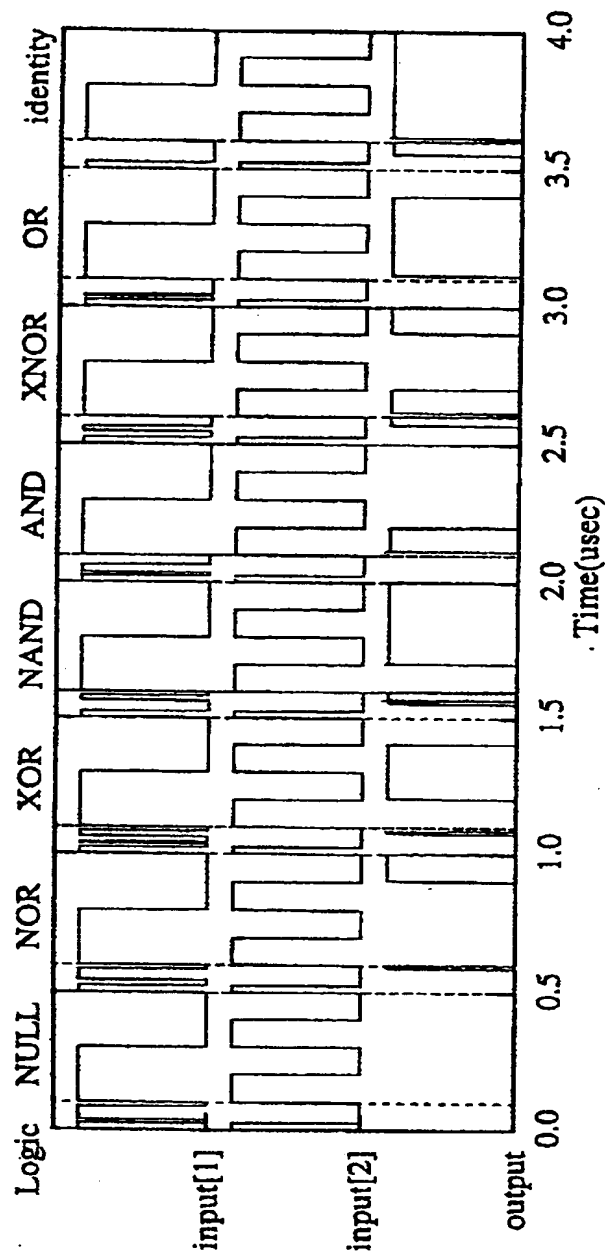
【図 26】

図 26



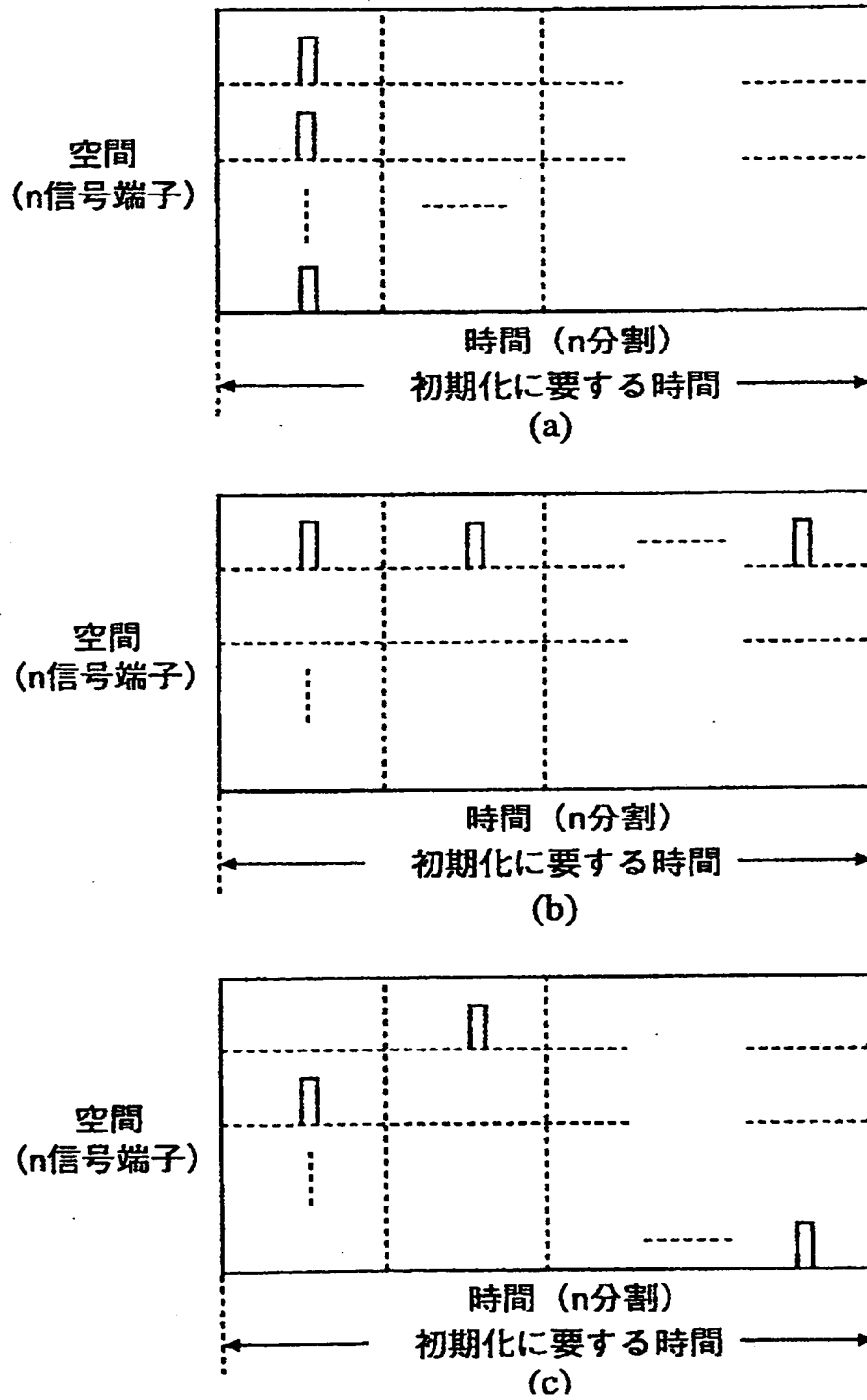
【図 27】

図 27



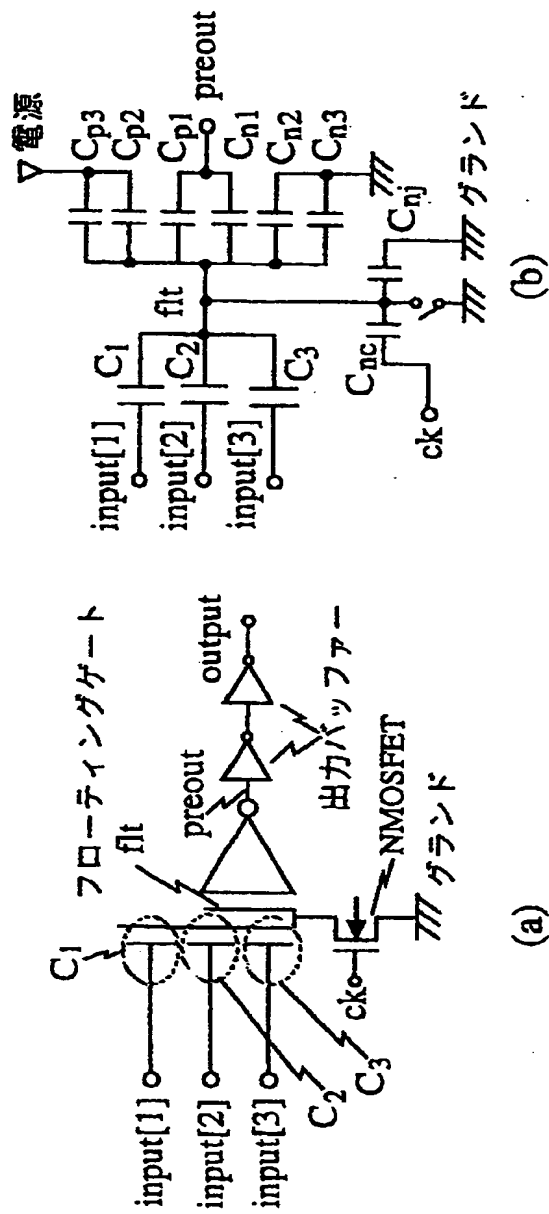
【図 28】

図 28



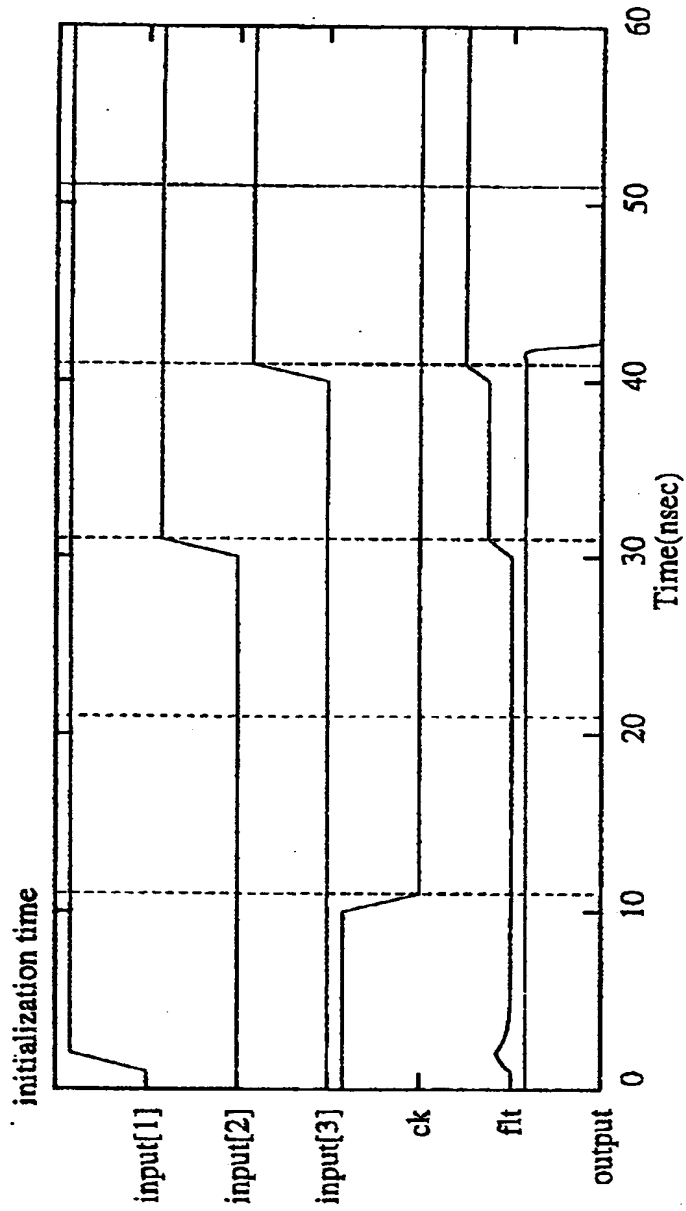
【図 29】

図 29



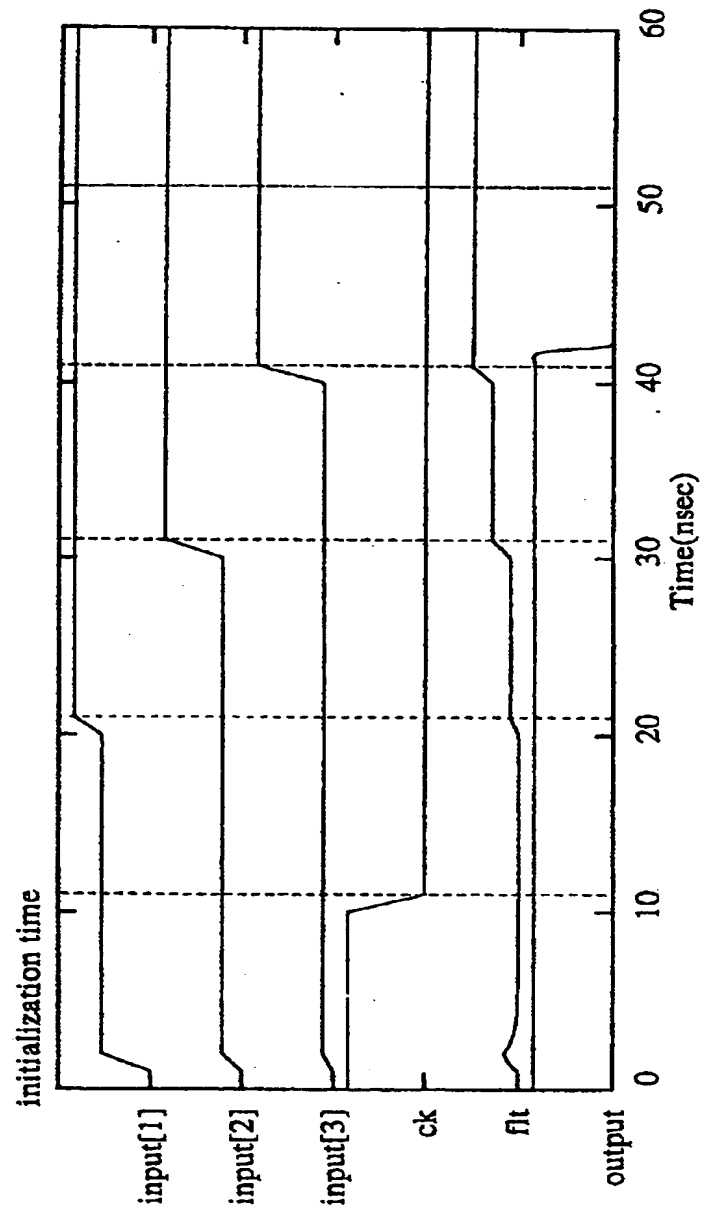
【図 30】

図 30



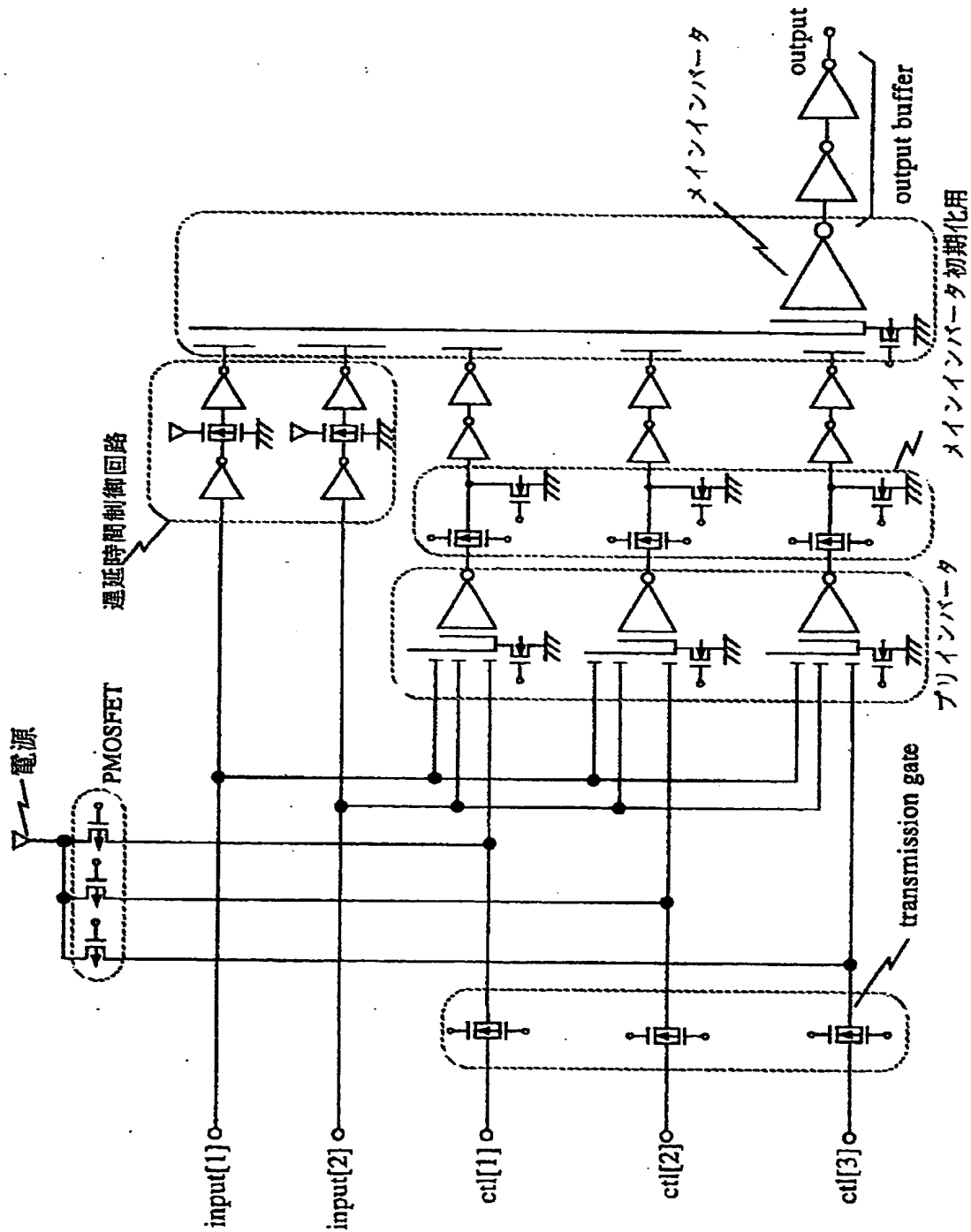
【図 3 1】

図 3 1



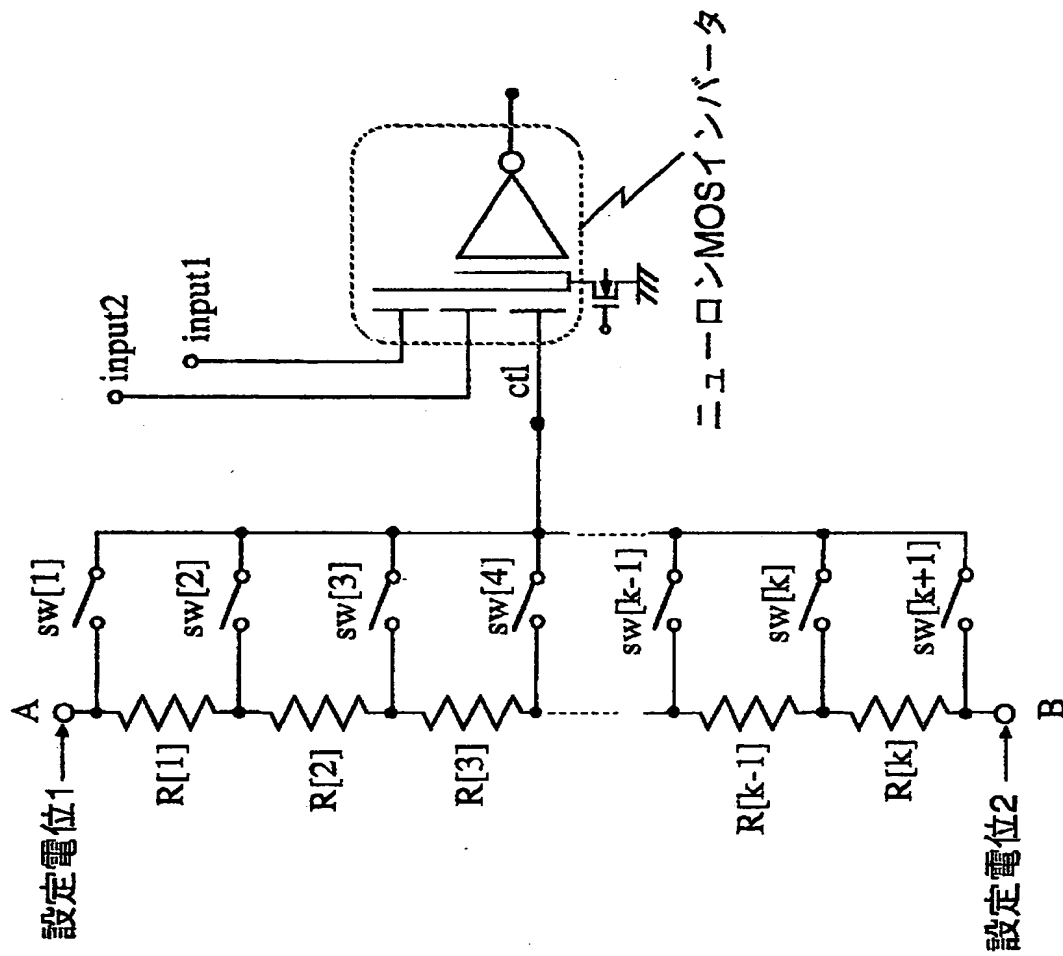
【図 3 2】

図 3 2



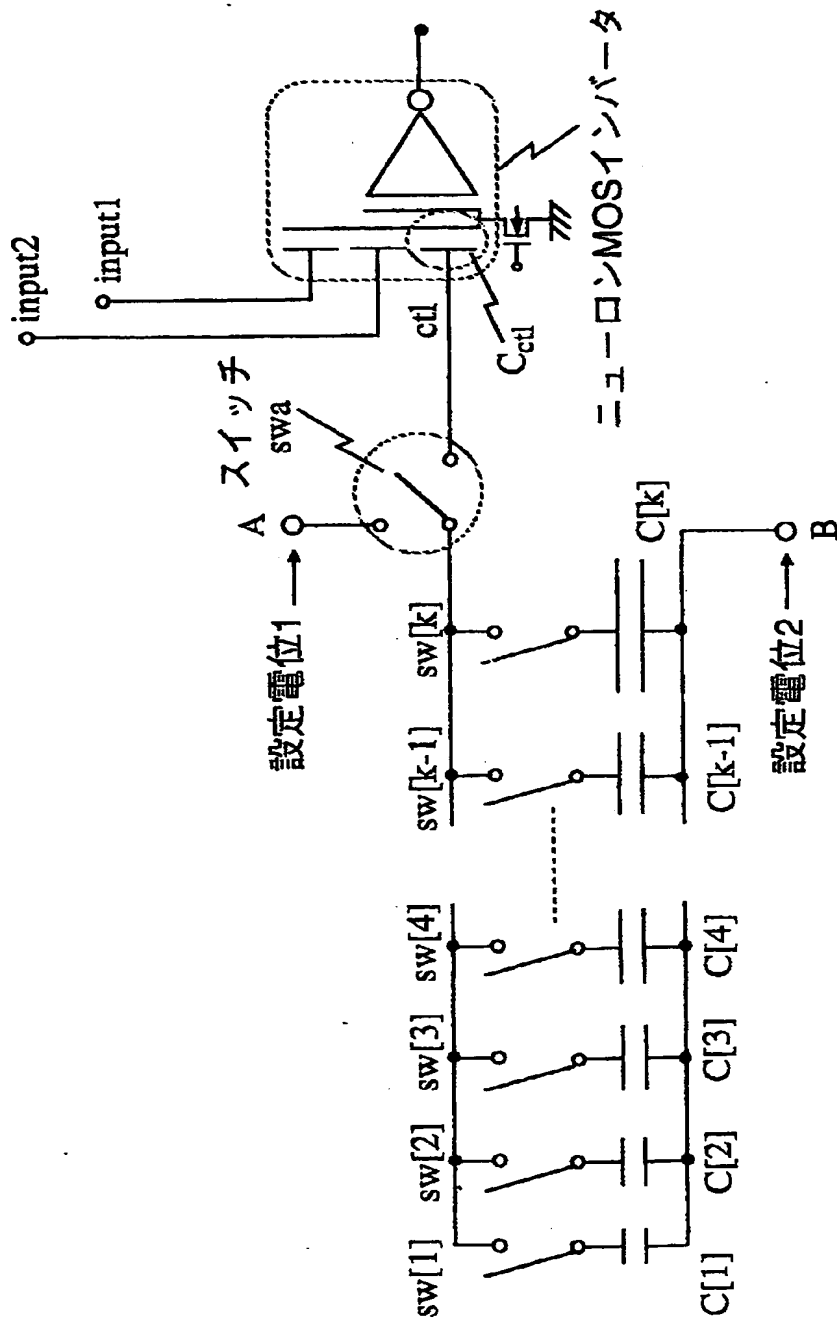
【図 33】

図 33



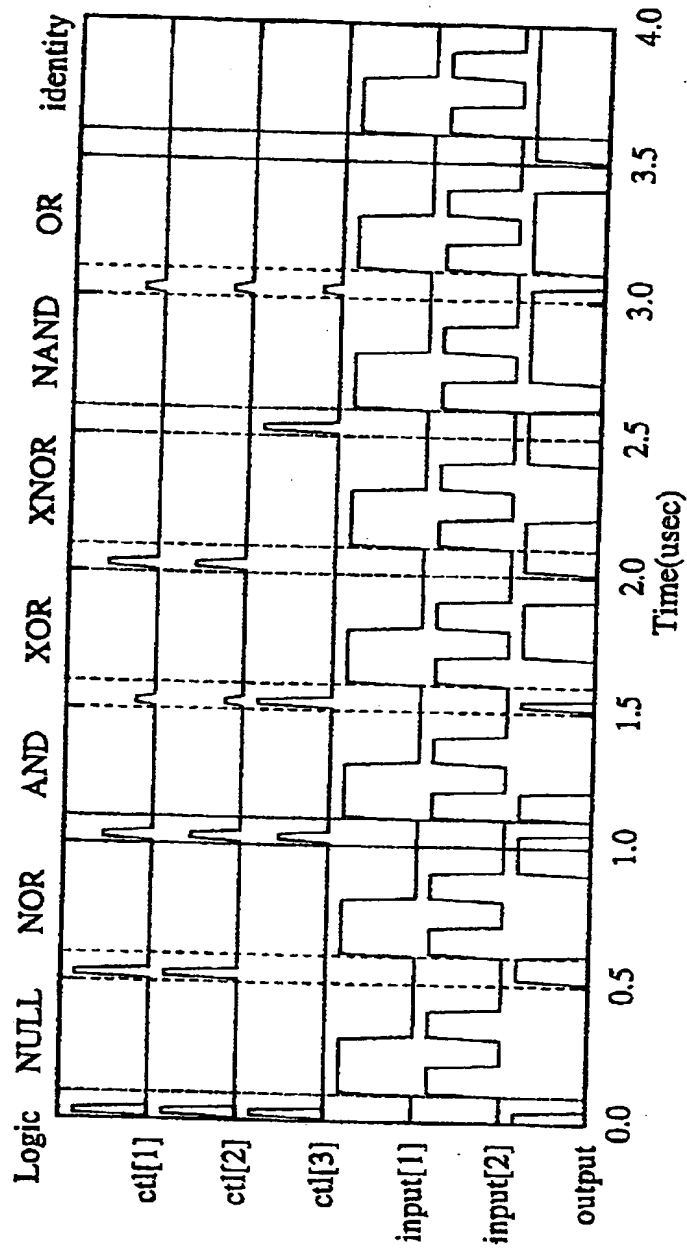
【図34】

図 3 4



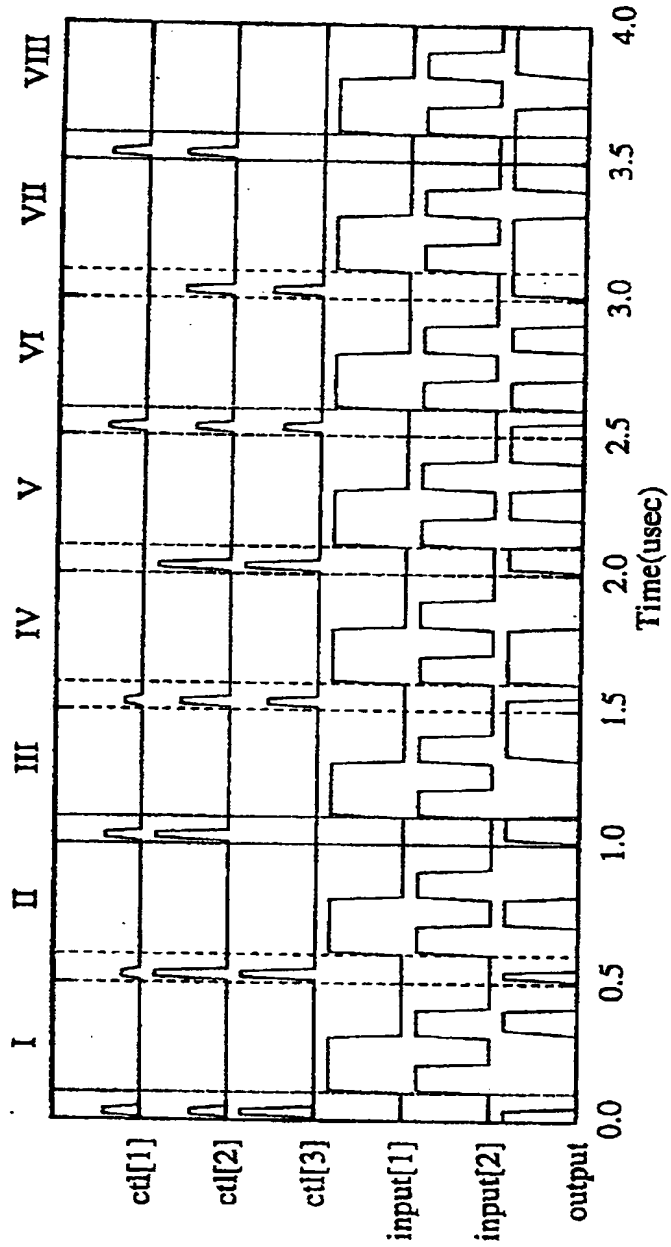
【図 3 5】

図 3 5



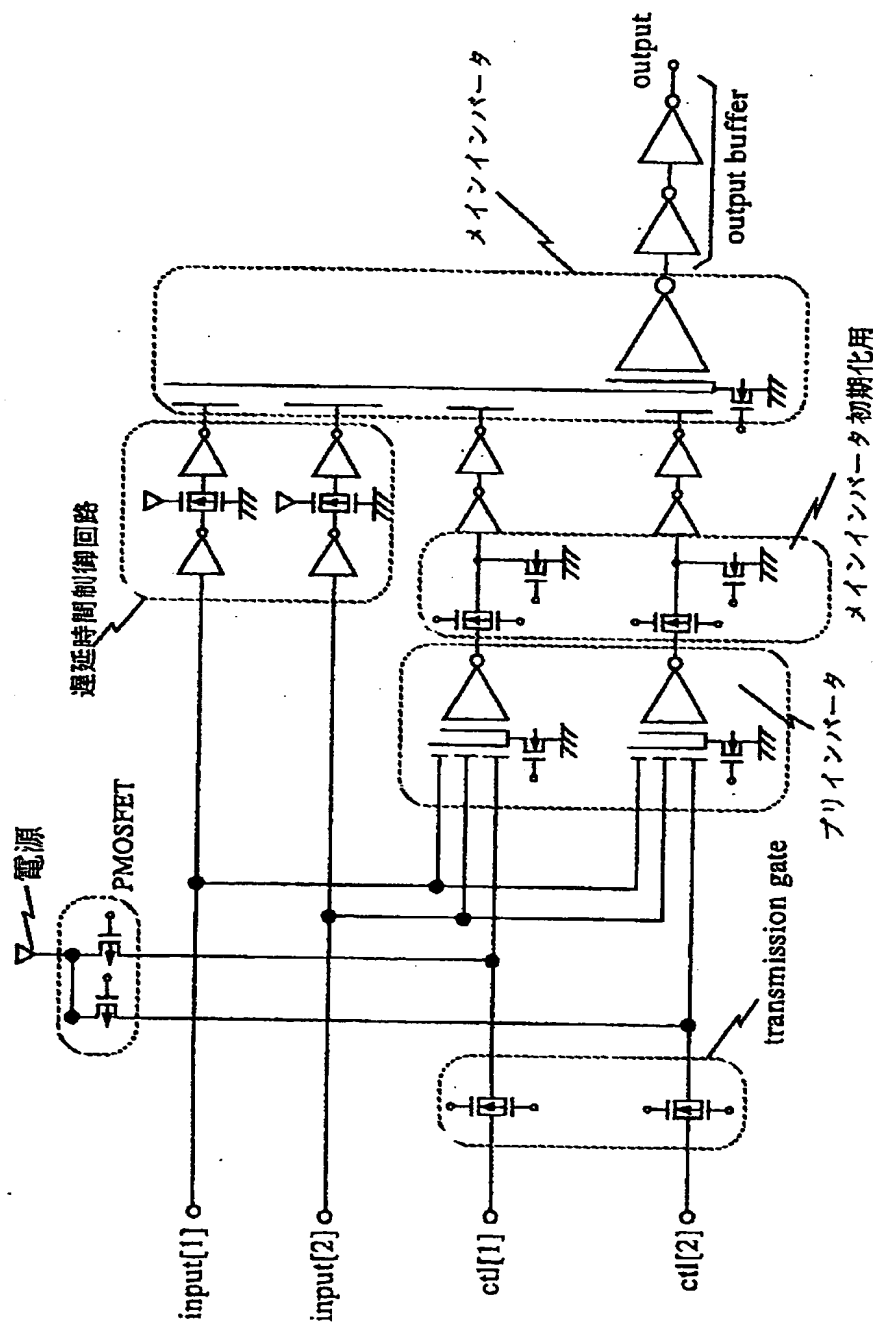
【図 36】

図 36



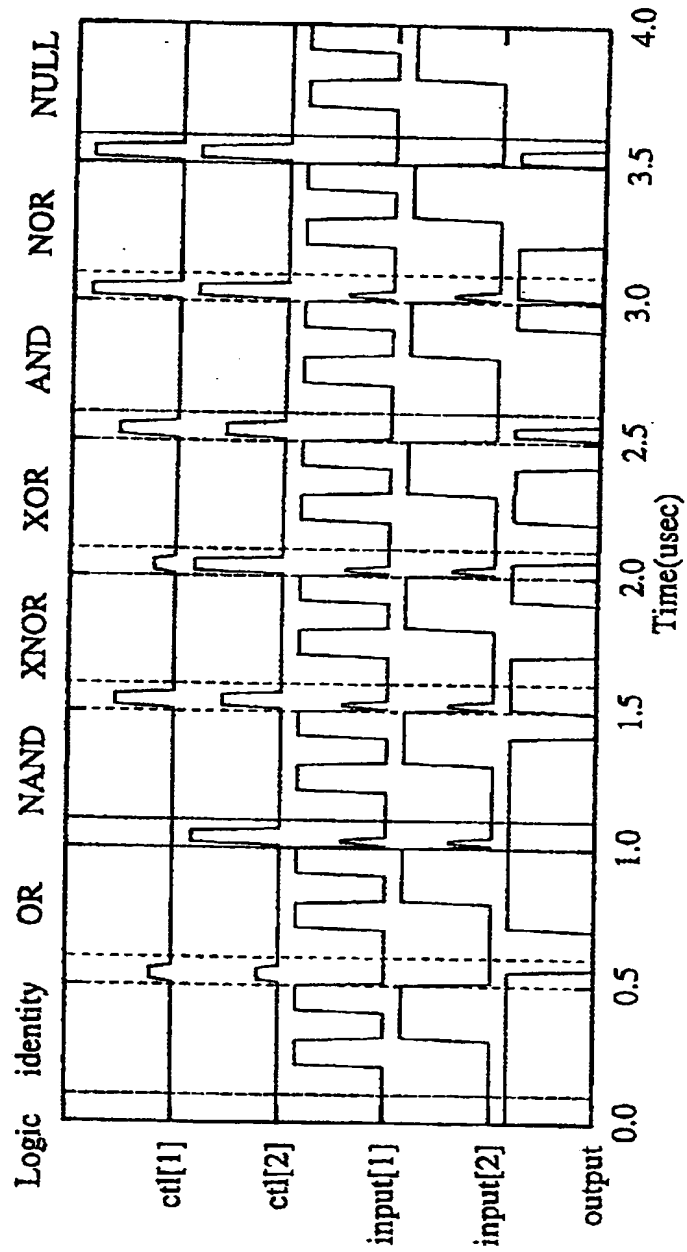
【図37】

図 3 7



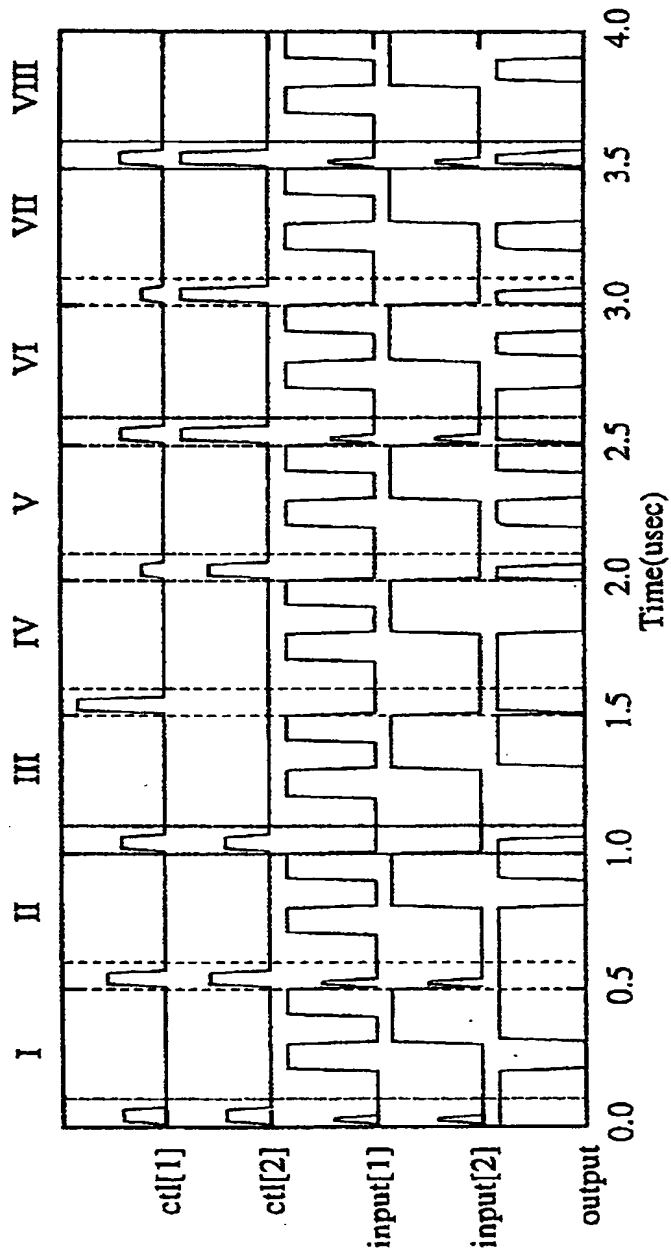
【図 38】

図 38



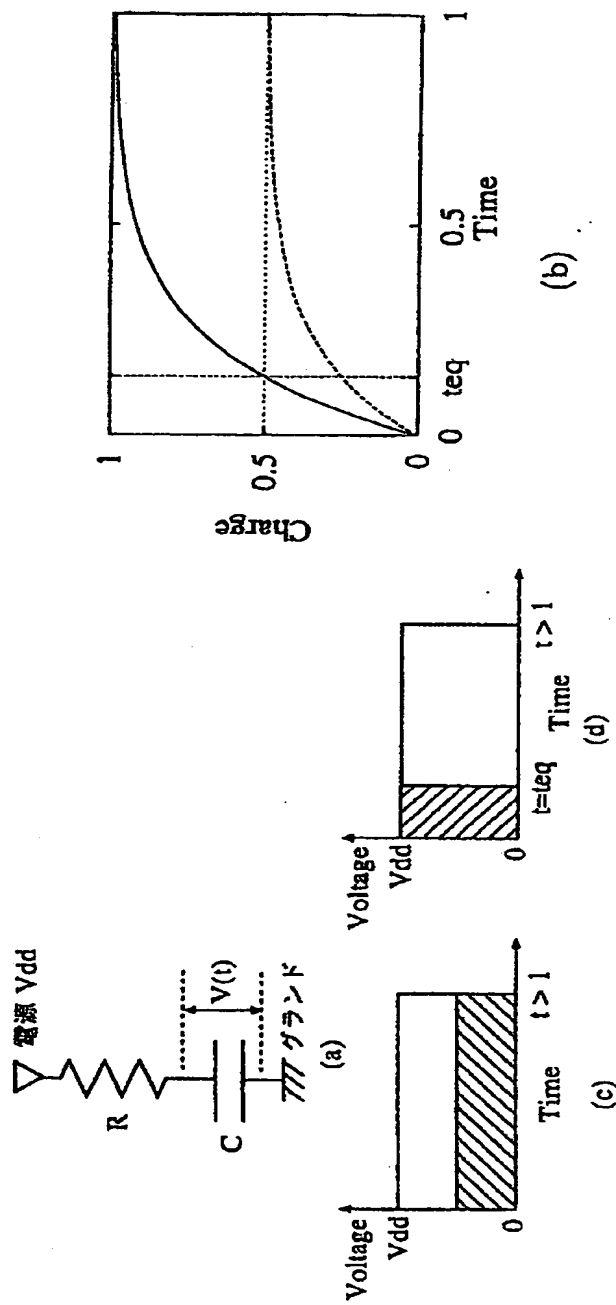
【図39】

図 39



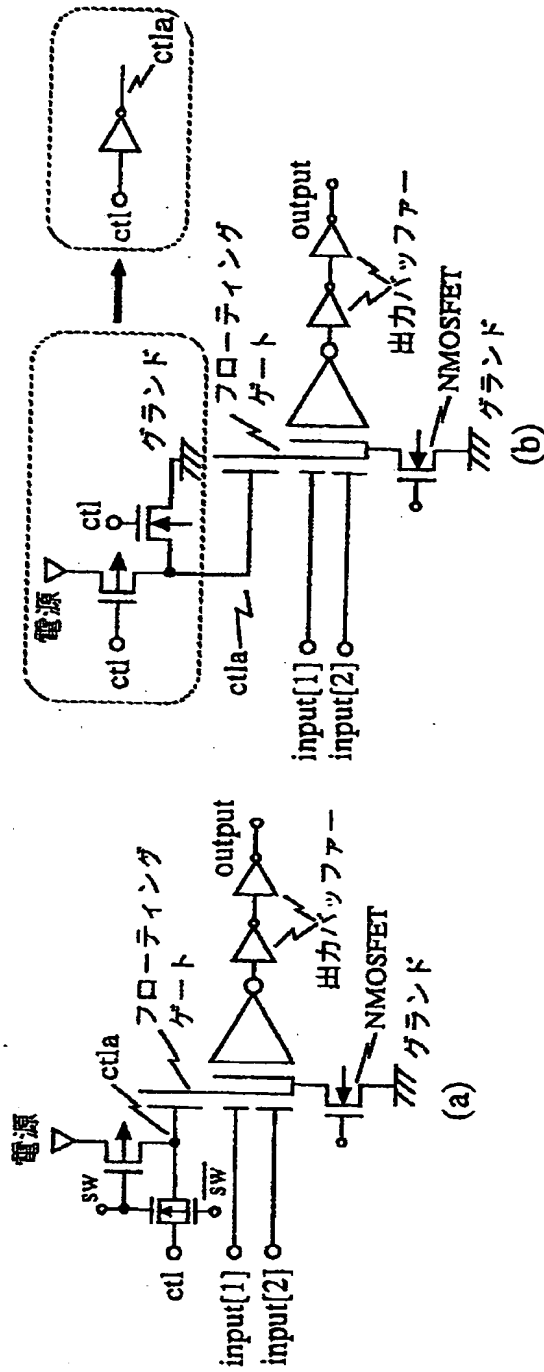
【図 40】

図 40



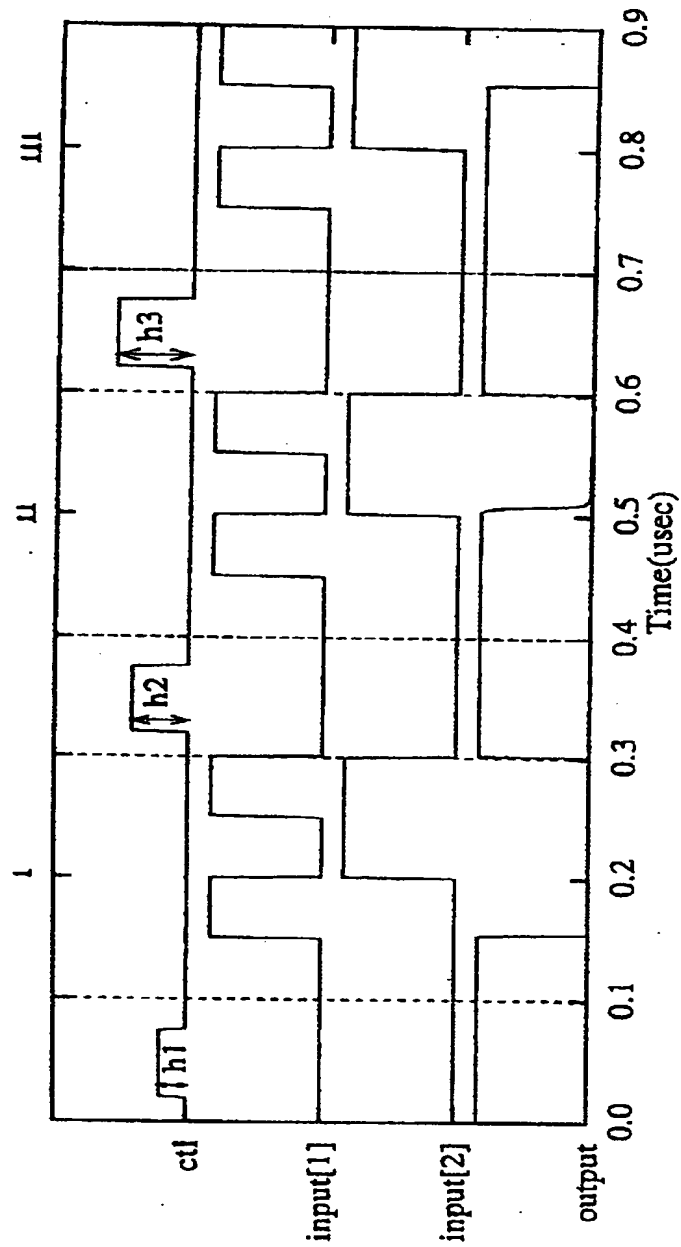
【図 4 1】

図 4 1



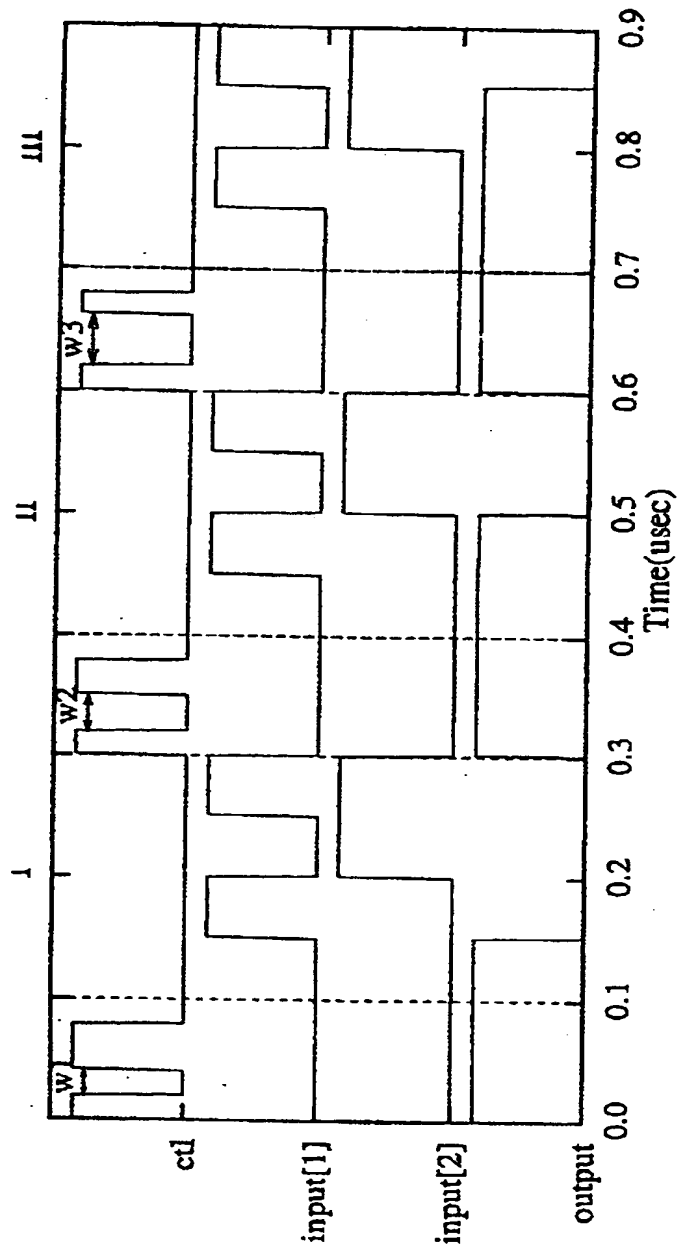
【図 4 2】

図 4 2



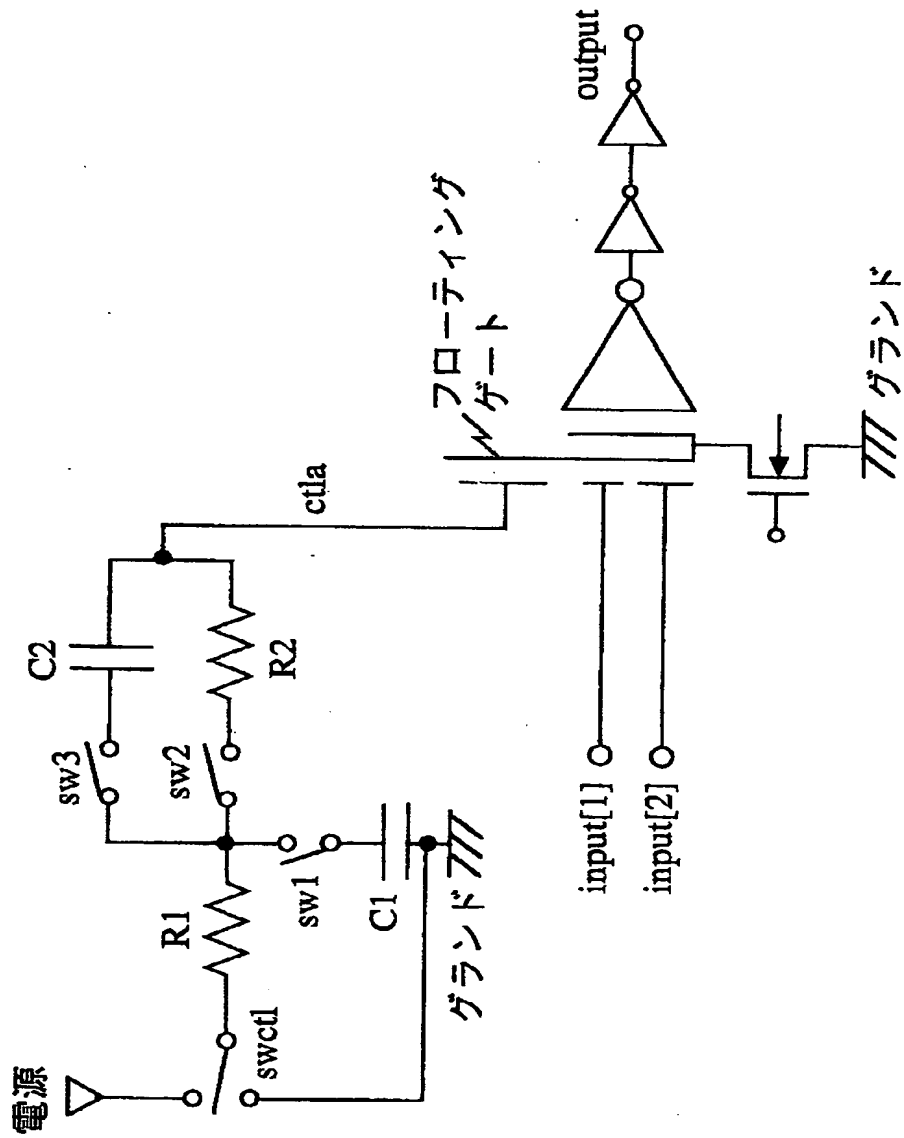
【図43】

図 4 3



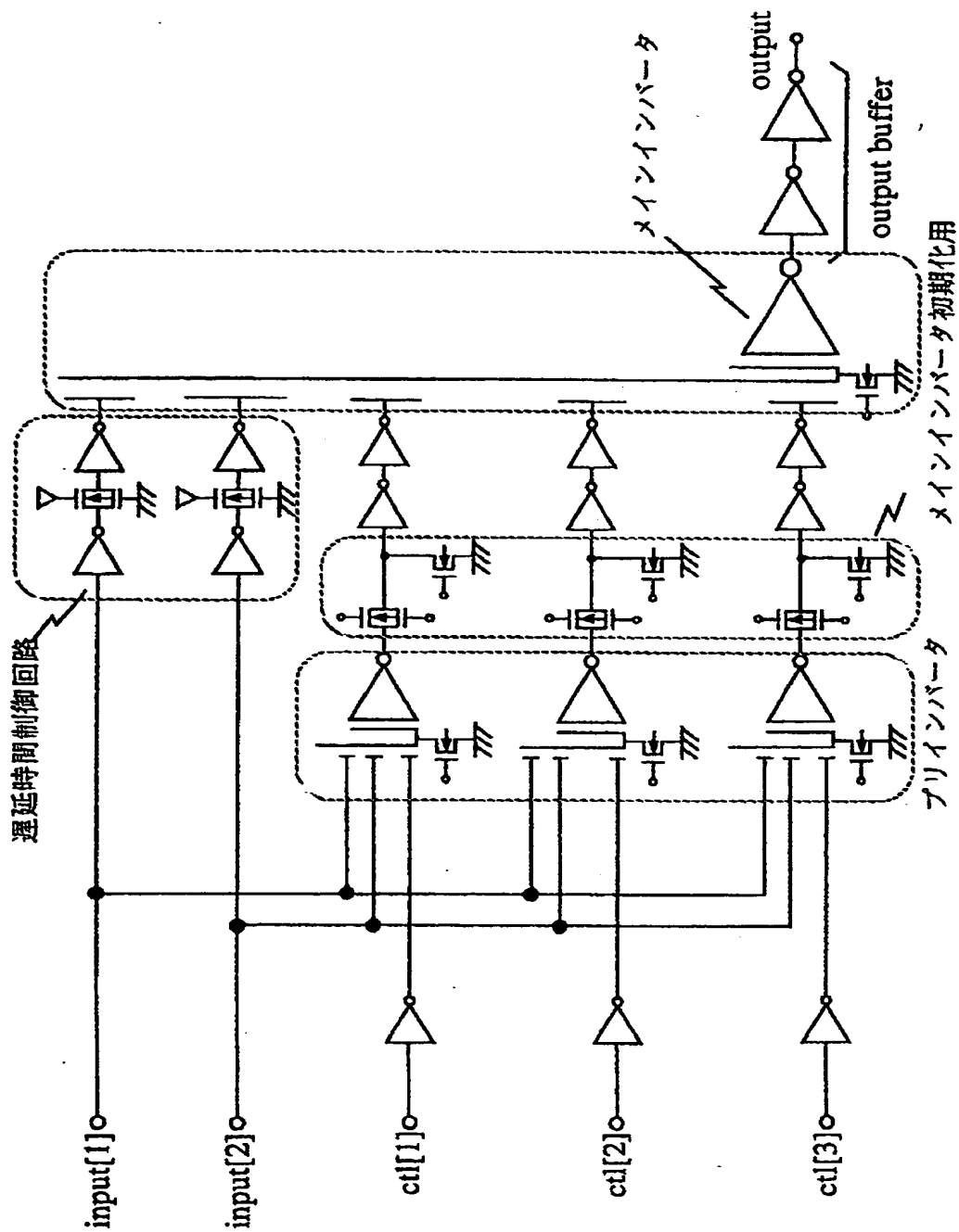
【図 4 4】

図 4 4



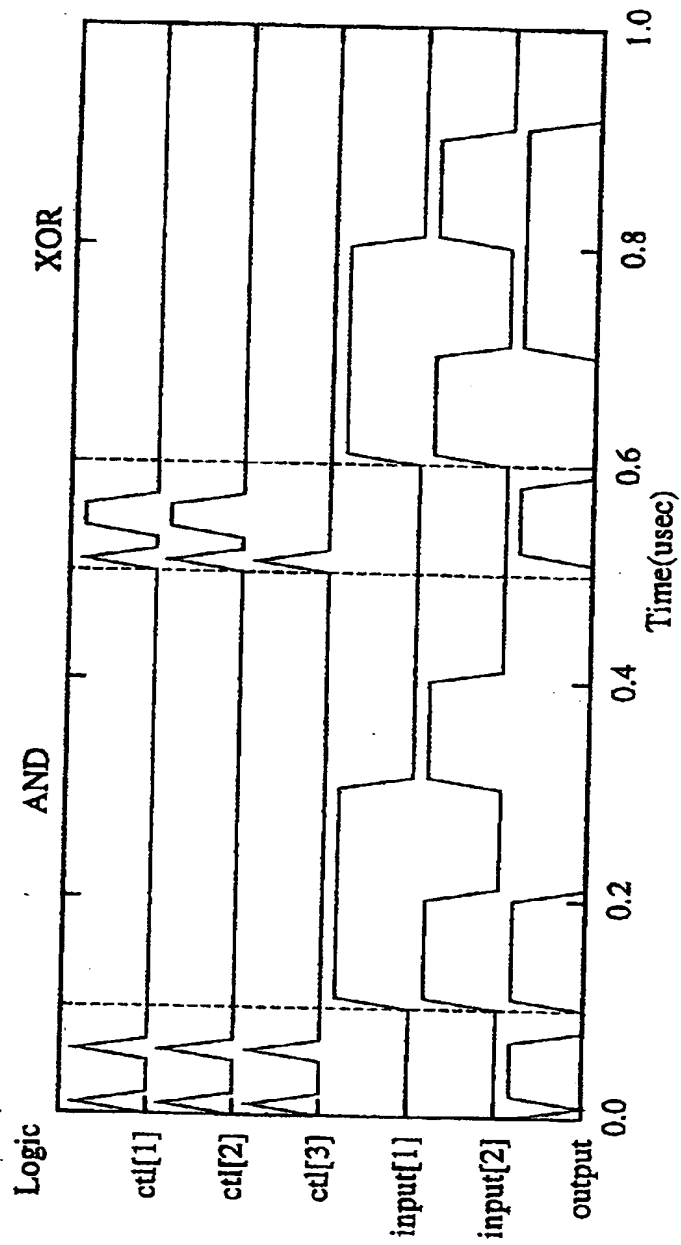
【図 4 5】

図 4 5



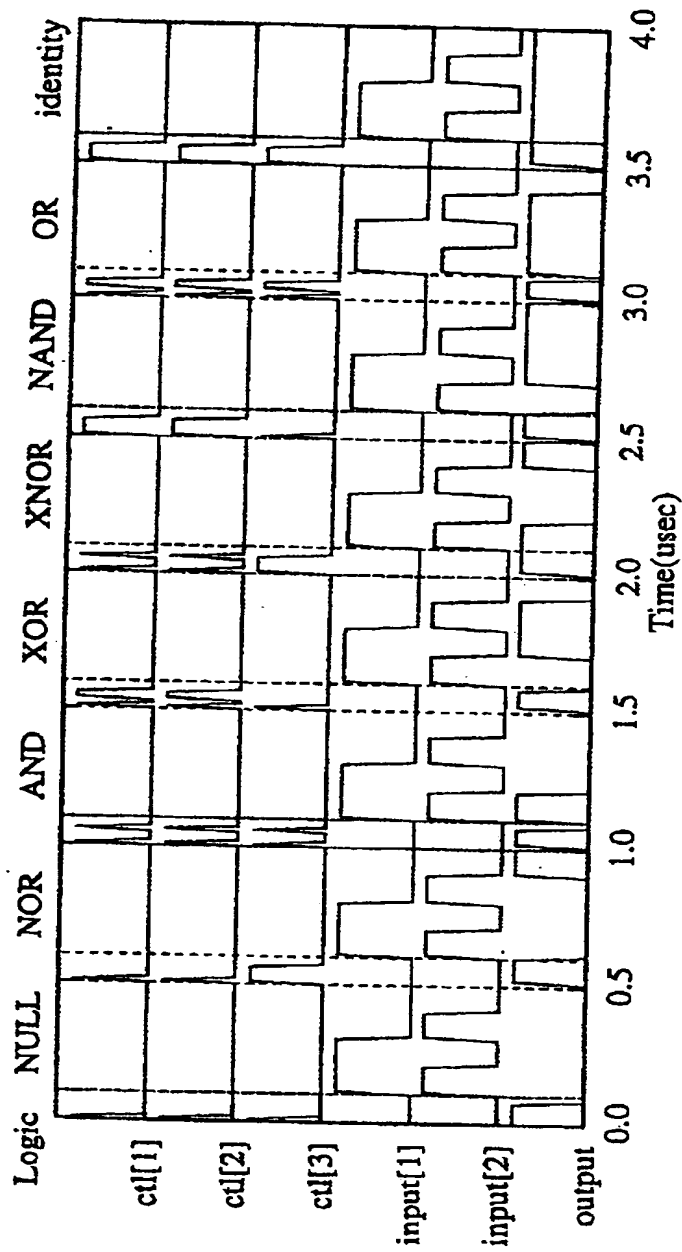
【図 4 6】

図 4 6



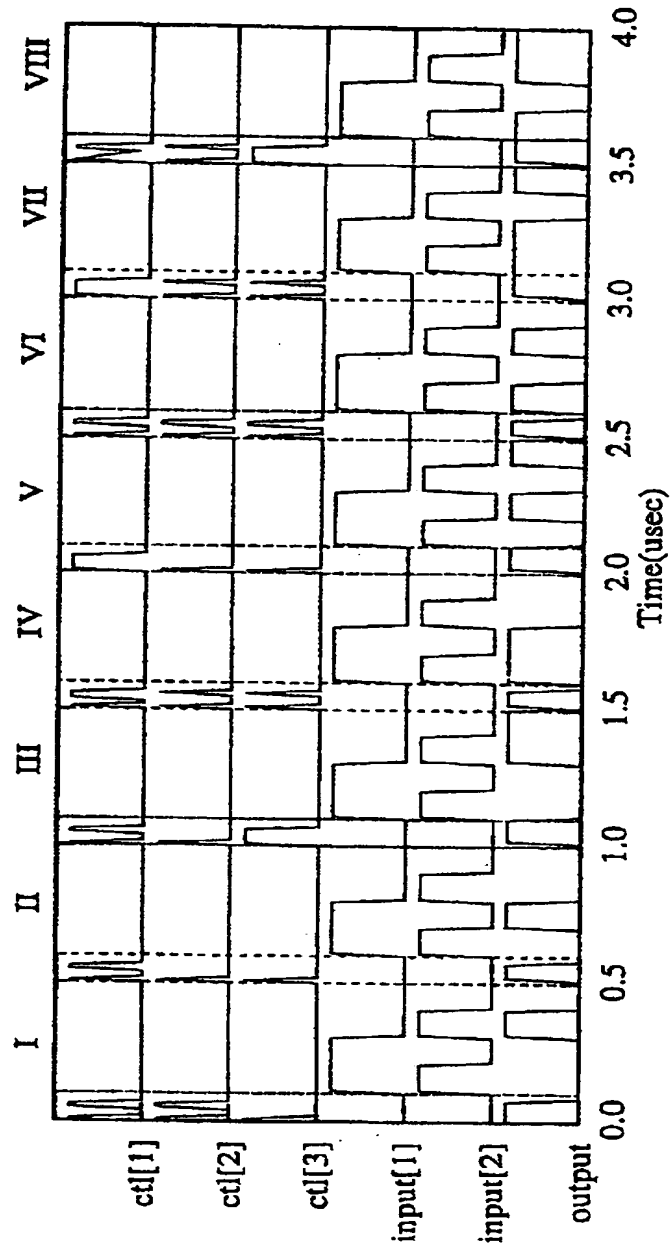
【图 4 7】

图 4 7



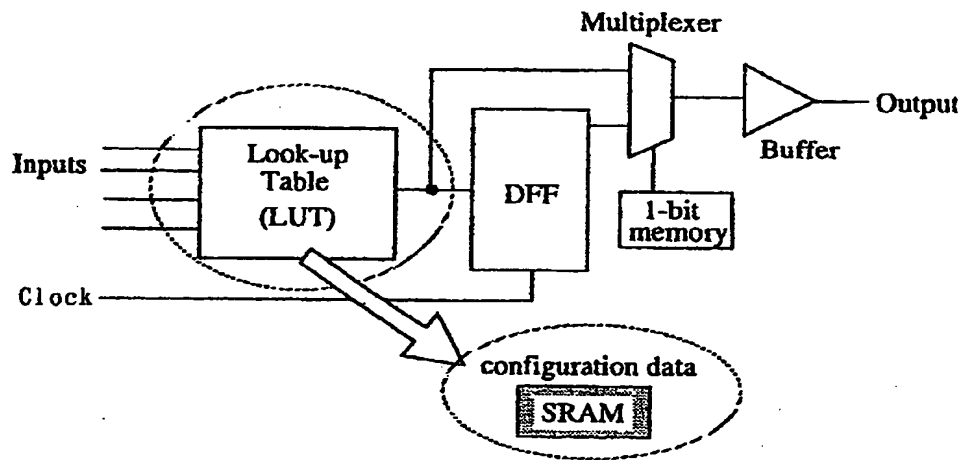
【図48】

図 48



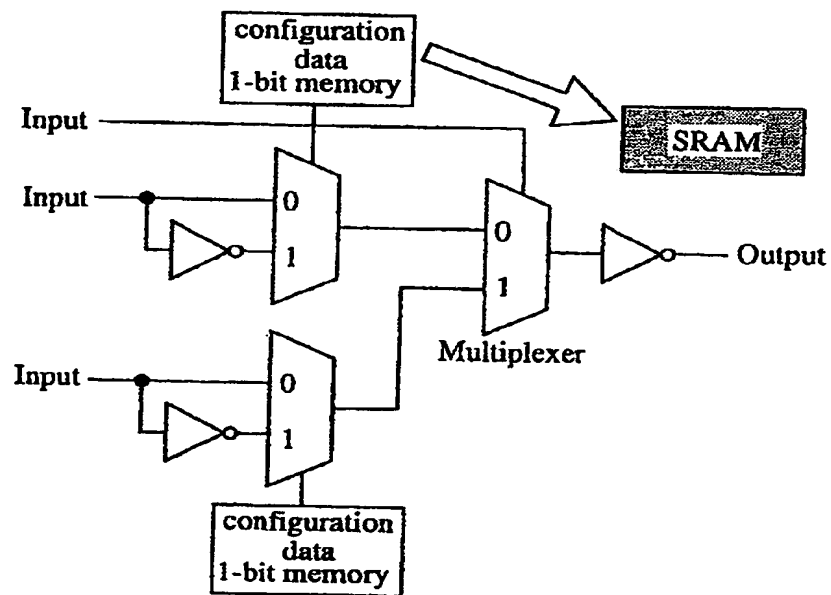
【図 49】

図 49



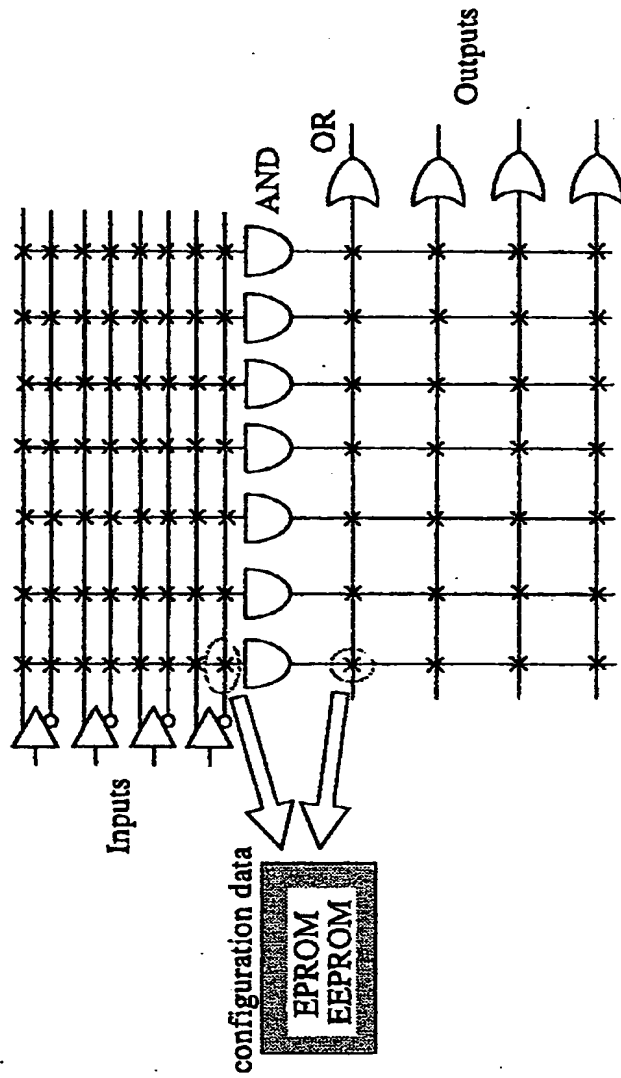
【図 50】

図 50



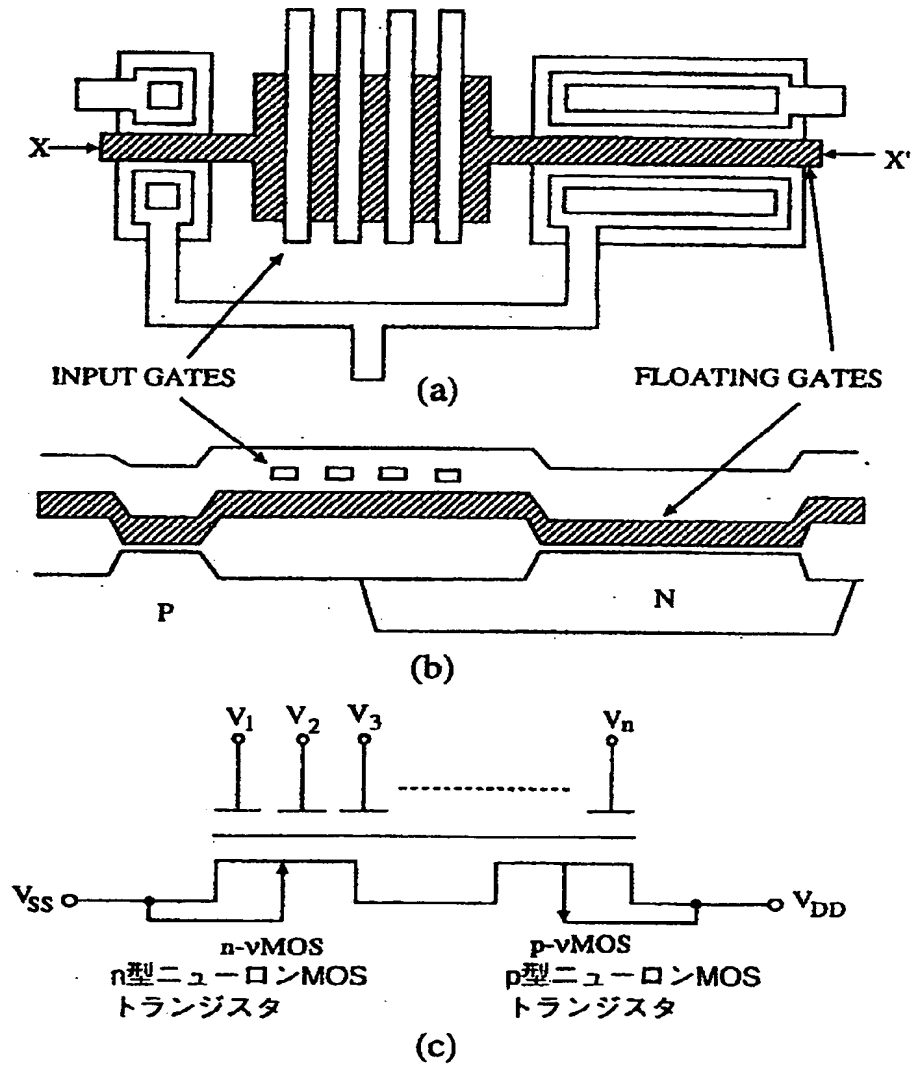
【図 5 1】

図 5 1



【図52】

図52



【書類名】 要約書

【課題】 論理機能を構成可能な集積回路において、論理関数を実現するための論理機能構成データを保持するために、従来は多大なメモリ領域を必要とするか、論理機能の再構成が困難であるかの何れかであった。メモリ領域を低減し、かつ関数機能の再構成を容易にしたプログラマブルハードウェアの提供を目的としたものである。

【解決手段】 ニューロンMOSトランジスタを用いて構成された可変関数機能部において、ニューロンMOSトランジスタのフローティングゲートと入力端子との間の容量に蓄積された電荷量、及びその電荷量の蓄積時におけるフローティングゲートの電位を制御することにより、入力端子よりの入力される関数機能構成データの保持を行う。

【選択図】 図4

出 願 人 履 歴 情 報

識別番号 [000004226]

1. 変更年月日 1999年 7月15日
[変更理由] 住所変更
住 所 東京都千代田区大手町二丁目3番1号
氏 名 日本電信電話株式会社